Politechnika Koszalińska

Robert Suszyński

Aspekty projektowania analogowo-cyfrowych przetworników CMOS trybu prądowego

Koszalin 2015

MONOGRAFIA NR 291 WYDZIAŁ ELEKTRONIKI I INFORMATYKI

ISSN 0239-7129 ISBN 978-83-7365-377-1

Przewodniczący Uczelnianej Rady Wydawniczej Mirosław Maliński

> Recenzja Krzysztof Górecki Stanisław Szczepański

Redakcja Agnieszka Czajkowska

> Projekt okładki Robert Suszyński

© Copyright by Wydawnictwo Uczelniane Politechniki Koszalińskiej Koszalin 2015

> Wydawnictwo Uczelniane Politechniki Koszalińskiej 75-620 Koszalin, ul. Racławicka 15-17

Koszalin 2015, wyd. I, ark. wyd. 11,7, nakład 120 egz. Druk: INTRO-DRUK, Koszalin

Spis treści

W	ykaz wybranych skrótów	7
\mathbf{W}_{j}	prowadzenie	9
1.	Układy pracujące w trybie prądowym	16
	1.1. Wprowadzenie	16
	1.2. Technika analogowa w procesach technologicznych	
	dedykowanych dla układów cyfrowych	18
	1.3. Porównanie układów pracujących w trybie napięciowym oraz w trybie prądowym	19
	1.4. Elementarne układy analogowe w technice prądowej	21
	1.5. Układy elementarne pracujące w czasie ciągłym	22
	1.5.1. Konwejor prądu	22
	1.5.2. Źródło prądowe	23
	1.5.3. Komparator prądowy	26
	1.5.4. Sumator prądów wejściowych	27
	1.5.5. Układ mnożący przez dwa	27
	1.6. Układy elementarne pracujące w czasie dyskretnym	28
	1.6.1. Przełączane źródło prądowe	28
	1.6.2. Przełączany sumator	29
	1.6.3. Przełączany układ mnożący przez dwa	30
	1.6.4. Układ opóźniający	31
	1.6.5. Układ całkujący	32
	1.6.6. Układ różniczkujący	32
	1.7. Wnioski	33
	1.8. Literatura	34
2.	Współczesne przetworniki a/c wykonywane w technologii	
	CMOS	41
	2.1. Wprowadzenie	41
	2.2. Parametry określające statyczne właściwości	
	przetworników a/c	42
	2.3. Parametry określające dynamiczne właściwości	
	przetworników a/c	46
	2.4. Rodzaje i klasyfikacja przetworników a/c	50
	2.4.1. Przetworniki o dużej rozdzielczości przetwarzania	51

	2.4.1.1. Przetwornik z kompensacją wagową	51			
	2.4.1.2. Przetwornik algorytmiczny	53			
	2.4.1.3. Przetwornik z modulatorem Sigma-Delta				
	2.4.2. Przetworniki o dużej szybkości przetwarzania				
	2.4.2.1. Przetwornik potokowy	56			
	2.4.2.2. Przetwornik równoległy jednostopniowy	56			
	2.4.2.3. Przetworniki równoległe dwu- i wielostopniowe	58			
	2.5. Porównanie wybranych parametrów podstawowych rodzajów				
	przetworników a/c				
	2.6. Wnioski	6(
	2.7. Literatura	6			
3.	3. Przetworniki a/c pracujące z częstotliwością Nyquista w trybie				
	prądowym	67			
	3.1. Wprowadzenie	67			
	3.2. Algorytmiczny przetwornik a/c	68			
	3.3. Kompensacyjny przetwornik a/c	7(
	3.3.1. Architektura kompensacyjnego przetwornika a/c w trybie				
	prądowym	73			
	3.3.2. Układ opóźniający sygnał prądowy o jeden okres				
	przetwarzania	74			
	3.3.3. Komparator prądu	75			
	3.3.4. Prądowe źródła odniesienia				
	3.3.5. Klucze sterowane przez rejestr przesuwny	78			
	3.3.6. Realizacja układowa kompensacyjnego przetwornika a/c				
	działającego w trybie prądowym	79			
	3.4. Wnioski	80			
	3.5. Literatura	8			
4.	Przetworniki a/c pracujące z nadpróbkowaniem w trybie				
	prądowym	84			
	4.1. Wprowadzenie	84			
	4.2. Przetwornik a/c z modulatorem Sigma-Delta pierwszego rzędu.	80			
	4.3. Przetworniki a/c z modulatorami Sigma-Delta wyższych				
	rzędów	8			
	4.4. Rozdzielczość przetwornika a/c z modulatorami Sigma-Delta	94			
	4.5. Przetwornik a/c z modulatorem Sigma-Delta z przełączanymi				
	transkonduktorami pracujący w trybie prądowym	9			
	4.5.1. Układ pamiętający pierwszej generacji ze wzmacniaczem				
	transkonduktancyjnym	9			

4.5.2. Układ pamiętający drugiej generacji ze wzmacniacze	m
transkonduktancyjnym	•••••
4.5.3. Wzmacniacz transkonduktancyjny	•••••
4.5.4. Integrator drugiej generacji ze wzmacniaczami	
4.5.5. Vomporator produ	•••••
4.5.6. La du a hitarra da comparatoremile a/a	•••••
4.5.6. Jednobilowy prądowy przetwornik c/a	•••••
4.5.7. Układ eksperymentalny ASIC z przetwornikami a/c	
2 modulatorem Signa-Delta	•••••
4.5.6. Wyniki polinarów parametrów dynamicznych, eksperymentalnych przetworników a/c z modulatorat	ni
Sigma-Delta w trybie pradowym	111
4.6 Wnioski	•••••
4.7 Literatura	
Potokowy przetwornik a/c z korekcja błedów niezrównowa	żenia
komparatorów	
5.1. Wprowadzenie	
5.2. Potokowy przetwornik a/c ze stopniami o rozdzielczości	
1,5 bita	
5.2.1. Układ próbkująco-pamiętający	
5.2.2. Układy ADC o rozdzielczości 1,5 i 2 bitów	•••••
5.2.3. Układ DAC o rozdzielczości 1,5 bita	•••••
5.2.4. Źródło prądu referencyjnego	•••••
5.2.5. Układ mnożący prąd przez dwa	
5.2.6. Rejestry przesuwne i układ korekcji wyjściowego ko cyfrowego	du
5.3. Potokowy przetwornik a/c ze stopniami o rozdzielczości	
2,5 bita	
5.3.1. Układy ADC o rozdzielczości 2,5 i 3 bitów	
5.3.2. Układ DAC o rozdzielczości 2,5 bita	
5.3.3. Układ mnożący prąd przez cztery	
5.3.4. Rejestry przesuwne i układ korekcji wyjściowego ko cyfrowego	du
5.4. Pomiary potokowych przetworników a/c ze stopniami	
o rozdzielczości 1,5 oraz 2,5 bita	
5.5. Wnioski	
5.6. Literatura	

6.	Metody projektowe – zastosowanie układów FPAA do szybkiego	
	prototypowania przetwornikow a/c	
	6.1. Wprowadzenie	
	6.2. Prototypowanie algorytmicznego przetwornika a/c	
	6.2.1. Struktura i algorytm działania prototypowanego	
	algorytmicznego przetwornika a/c	
	6.2.2. Realizacja układowa algorytmicznego przetwornika a/c	
	o rozdzielczości 6 bitów	
	6.2.3. Realizacja układowa ulepszonej wersji algorytmicznego	
	przetwornika a/c o rozdzielczości 6 bitów z wyjściowym	
	kodem cyfrowym Gray'a	
	6.3. Prototypowanie potokowego przetwornika a/c ze stopniami	
	1,5 bita	
	6.3.1. Struktura i algorytm działania prototypowanego	
	potokowego przetwornika a/c ze stopniami 1,5 bita	
	6.4. Prototypowanie przetwornika a/c z modulatorem Sigma-Delta	
	6.4.1. Prototyp przetwornika a/c z modulatorem Sigma-Delta	
	trzeciego rzędu	
	6.4.2. Prototyp przetwornika a/c z modulatorem Sigma-Delta	
	trzeciego rzędu ze sprzężeniem wyprzedzającym	
	6.4.3. Prototyp przetwornika a/c z dwustopniowym	
	modulatorem Sigma-Delta trzeciego rzędu	
	6.4.4. Wyniki pomiarów prototypów przetwornika a/c	
	z modulatorem Sigma-Delta	
	6.5. Wnioski	
	6.6. Literatura	
	Zastosowanie prototypu przetwornika a/c w przetwarzaniu	
	obrazów 2D	
	7.1. Wprowadzenie	
	7.2. Realizacja prototypu potokowego przetwornika a/c dedykowa-	
	nego do cyfrowego systemu przetwarzania obrazów 2D	
	7.3. Stanowisko pomiarowe do testowania systemu cyfrowego	
	przetwarzania obrazów w czasie rzeczywistym	
	7.4. Wyniki działania systemu dla rzeczywistych obrazów obiektów	
	astronomicznych	
	7.5. Wnioski	
	7.6. Literatura	
	Podsumowanie i wnioski	

Wykaz wybranych skrótów

2D	dwuwymiarowy (Two-dimensional)
a/c	analogowo-cyfrowy
ADC	przetwornik analogowo-cyfrowy (Analog-to-Digital Converter)
ASIC	specjalizowany układ scalony (<i>Application Specific Integrated Circuit</i>)
BW	pasmo (<i>Bandwidth</i>)
c/a	cyfrowo-analogowy
CAD	projektowanie wspomagane komputerowo (<i>Computer Aided Design</i>)
CCD	matryca CCD (Charge Coupled Device)
CMOS	układ scalony CMOS (Complementary Metal-Oxide Semiconductor)
CPLD	programowalny układ logiczny (<i>Complex Programmable Logic Device</i>)
DAC	przetwornik cyfrowo-analogowy (Digital-to-Analog Converter)
DNL	błąd nieliniowości różniczkowej (Differential Non-Linearity)
DR	zakres dynamiczny (Dynamic Range)
DSP	cyfrowe przetwarzanie sygnałów (Digital Signal Processing)
ENOB	efektywna liczba bitów (Effective Number of Bits)
ESD	wyładowanie elektrostatyczne (Electrostatic Discharge)
FFT	szybka transformata Fouriera (Fast Fourier Transform)
FoM	współczynnik jakości (Figure of Merit)
FPAA	programowalny układ analogowy (<i>Field Programmable Analog Array</i>)
FPGA	programowalny układ logiczny (Field-Programmable Gate Array)
FSR	pełny zakres sygnału (Full-Scale Range)
IC	układ scalony (Integrated Circuit)
INL	błąd nieliniowości całkowej (Integral Nonlinearity)
LSB	najmniej znaczący bit (Least Significant Bit)
MASH	modulator kaskadowy (Multistage Noise Shaping)
MSB	najbardziej znaczący bit (Most Significant Bit)

NTF	transmitancja dla szumu kwantyzacji (Noise Transfer Function)
OA	wzmacniacz operacyjny (Operational Amplifier)
OSR	współczynnik nadpróbkowania (Oversampling Ratio)
PCM	modulacja kodowo-impulsowa (Pulse Code Modulation)
PSD	widmowa gęstość mocy (Power Spectral Density)
QS	krok kwantyzacji (Quantisation Step)
S/H	układ próbkująco-pamiętający (Sample and Hold Circuit)
SAR	rejestr kolejnych przybliżeń (Successive Approximation Register)
SC	układy z przełączanymi pojemnościami (Switched Capacitors)
SI	układy z przełączanymi prądami (Switched Current)
ST	układy z przełączanymi transkonduktorami (Switched Transconductor)
SFDR	zakres dynamiczny wolny od niepożądanych składowych (<i>Spurious Free Dynamic Range</i>)
SINAD	stosunek sygnału do szumu i zakłóceń (Signal-to-Noise and Distortion Ratio)
SD	modulator Sigma-Delta (Sigma-Delta Modulator)
SNR	stosunek sygnału do szumu (Signal-to-Noise Ratio)
SoC	system w jednej obudowie układu scalonego (System on Chip)
SR	maksymalna szybkość zmian sygnału wyjściowego (Slew Rate)
STF	transmitancja dla sygnału (Signal Transfer Function)
T/H	układ śledząco-pamiętający (Track and Hold)
THD	całkowite zniekształcenia harmoniczne (Total Harmonic Distortion)
VLSI	układ scalony wielkiej skali integracji (Very Large Scale Integration)

Wprowadzenie

Żyjemy na przełomie tysiącleci bedac świadkami oszałamiającego rozwoju nauki i techniki. Jednym z motorów napędzających te przemiany są nowe odkrycia i rozwiazania dotyczace technologii teleinformatycznych, komputerów, elektroniki i telekomunikacji. Budowane i projektowane systemy elektroniczne ulegają ciągłym przeobrażeniom, z jednej strony eksplorując nowe opracowania, a z drugiej śledzac i podażając za zmieniającymi się potrzebami rynku. W chwili obecnej dominującymi trendami w rozwoju elektroniki jest powszechna miniaturyzacja, mobilność i wielofunkcyjność. Te atrybuty nowoczesnych układów elektronicznych są możliwe do uzyskania dzięki dynamicznemu rozwojowi technologii projektowania i produkcji bardzo złożonych systemów w jednym układzie scalonym. Urządzenia elektroniczne, które jeszcze kilka lat temu zbudowane były z kilku, kilkunastu czy kilkudziesieciu specjalizowanych analogowych i cyfrowych układów scalonych, mogą być obecnie realizowane za pomoca scalonego mikrokontrolera, procesora sygnałowego, czy specjalizowanego układu ASIC (Application Specific Integrated Circuit). Kolejnym aspektem rozwoju współczesnej elektroniki jest powszechna cyfryzacja. Możliwości wytwarzania złożonych scalonych układów cyfrowych powoduje stałe wypieranie przez układy cyfrowe rozwiazań wykorzystujących tradycyjnie układy analogowe, w różnorodnych zastosowaniach, w każdej możliwej dziedzinie nauki, techniki czy gospodarki. Niejednokrotnie korzyści zastosowania techniki cyfrowej są bardzo atrakcyjne. Często oferuje ona możliwości programowania układów, elastyczne metody projektowania, skalowalność parametrów, dodatkowe funkcjonalności oraz krótki cykl projektowy. Ponadto technika cyfrowa przejawia większą tolerancję na zakłócenia, jak i mniejszą wrażliwość na zmianę parametrów układu, uwarunkowanych procesem technologicznym.

Obecnie w elektronice utrzymuje się trend projektowania takich mikrosystemów, w których minimalizowana jest część analogowa kosztem nawet znacznej rozbudowy części cyfrowej. Takie podejście pozwala na łatwe implementowanie opracowanych rozwiązań układowych w coraz to nowocześniejszych (a co za tym idzie, o coraz bardziej zredukowanych rozmiarach) technologiach VLSI (*Very Large Scale Integration*). Procesy technologiczne produkcji cyfrowych układów scalonych osiągnęły obecnie taki poziom miniaturyzacji, iż możliwe jest zintegrowanie w jednej obudowie układu zawierającego miliardy tranzystorów. Dostępność technologii wykonania złożonych układów, zawierających tak ogromną liczbę tranzystorów (o wymiarach nanometrowych), przyczynia się do dynamicznego rozwoju konstrukcji specjalizowanych układów cyfrowych, procesorów, mikrokontrolerów ale także procesorów sygnałowych, realizujących funkcjonalność złożonego systemu w pojedynczym monolitycznym układzie scalonym. Technologią, która dominuje w tych zastosowaniach jest CMOS (*Complementary Metal Oxide Semiconductor*).



Typowy system przetwarzania – układ mieszany zawierający zarówno część analogową jak i cyfrową

Otaczający nas świat z natury jest analogowy, a budowane systemy cyfrowe muszą być w interakcji z tym otoczeniem. Dlatego niezależnie od stopnia złożoności układu cyfrowego nadal wymagane są układy dopasowujące amplitudę oraz korygujące ewentualną nieliniowość charakterystyki zewnętrznych sygnałów analogowych, a następnie dokonujące ich konwersji na postać cyfrową. Z tych powodów zmienia się przeznaczenie układów analogowych, które obecnie najczęściej stanowią interfejsy a nie realizują przetwarzania sygnałów. Zwykle złożone systemy elektroniczne składają się części cyfrowego przetwarzania sygnałów oraz cyfrowej części obliczeniowej, które stanowią jądro systemu oraz układów interfejsów analogowych, które stanowią warstwę buforową złożonego systemu. Pełne systemy analogowe są nadal potrzebne w nielicznych zastosowaniach, w których częstotliwość przetwarzania jest zbyt wysoka dla implementacji cyfrowej lub implementacja układów cyfrowych jest nieopłacalna z uwagi na małe skomplikowanie układu oraz dla układów o bardzo małym poborze mocy. Dążenie do budowy coraz mniejszych i tańszych systemów elektronicznych spowodowała, iż producenci starają się wykonać cały system w postaci jednego układu scalonego, w pojedynczej obudowie. System taki jest nazywany *System on Chip* (SoC). Prowadzi także do wytwarzania układów mieszanych, czyli zarówno analogowych jak i cyfrowych systemów przetwarzania danych. Układ taki zawiera w jednej obudowie zarówno cyfrowy procesor realizujący operacje numeryczne, jak i wszystkie wymagane interfejsy analogowe, niezbędne do współdziałania z zewnętrznymi przetwornikami i czujnikami, przykład takiego rozwiązania zilustrowano na rysunku.

Produkcja i zastosowanie mieszanych układów scalonych w produkowanych masowo układach elektronicznych przynosi wymierne korzyści ekonomiczne, ale też jest dużym wyzwaniem dla konstruktorów z punktu widzenia budowy takich systemów. Połączenie technologii wytwarzania układów analogowych i cyfrowych w jednym układzie scalonym CMOS VLSI, powoduje, iż proces ich projektowania i późniejszej symulacji działania jest dużo bardziej skomplikowany. Dla typowego scalonego układu mieszanego, zawierającego w zdecydowanej większości bloki cyfrowe, naturalnym jest, iż proces technologiczny produkcji tych układów jest dostosowany do optymalizacji parametrów części cyfrowej. W praktyce, oznacza to, iż dla tych zastosowań układy CMOS są najbardziej wykorzystywaną technologią. Powyższe powody, przyczyniają się do zainteresowania naukowego i projektowego mieszanymi układami scalonymi, w których układy interfejsów analogowych są w pełni kompatybilne z cyfrowym procesem CMOS.

Konstrukcja analogowych układów scalonych tradycyjnie jest utrudniona przez proces produkcyjny, głównie dlatego, iż procesy technologiczne wytwarzania układów scalonych są zoptymalizowane dla układów cyfrowych. Skutkuje to widocznym design time syndrome, w którym układ scalony który zawiera około 20% funkcji analogowych, ta część zabiera 80% czasu projektowego. Ponadto dla analogowych układów scalonych obserwujemy ciągle brak skutecznych narzędzi programowych do automatycznego projektowania. Jednakże ta sytuacja zmienia się i obecnie obserwujemy powstawanie nowej generacji rozwiązań technologicznych dedykowanych dla układów analogowych. Ponadto zarówno te najnowsze jak i te starsze procesy wytwarzania: BJT, BiCMOS, GaAs stają się dostępne również dla układów analogowych. Wraz z pojawieniem się nowych możliwości technologicznych analogowe układy scalone znajdują coraz szersze zastosowanie. Powstanie układów scalonych zawierających w sobie mieszane analogowe i cyfrowe funkcje w pojedynczym układzie scalonym doprowadziło do znacznego rozwoju technologii układów analogowych. Podukłady przetwarzające sygnały analogowe stanowią ważną część projektów

układów scalonych SoC. Z tego powodu opracowano wiele specjalnych technik poprawiających ich właściwości. M.in. włączane w budowę układu scalonego typu SoC podukłady analogowe i cyfrowe muszą spełniać te same kryteria co do ograniczeń na poziom napięcia zasilania i pobieranej mocy. Przewagą układów analogowych jest to, że w czasie rzeczywistym przetwarzają sygnały występujące w otaczającym nas świecie.

Cyfrowe układy scalone VLSI, wykonywane w technologii CMOS, budowane są prawie wyłącznie z komplementarnych tranzystorów polowych z kanałem wzbogaconym (izolowana bramka). Zastosowanie w układach cyfrowych naprzemiennie przełaczanych kluczy, zbudowanych z par komplementarnych tranzystorów NMOS i PMOS, pozwoliło na wyeliminowanie z układów logicznych rezystorów. Dzieki temu znacznie zwiekszono skale integracji układów scalonych i ograniczono moc pobierana ze źródła zasilania. Jednoczesny rozwój układów analogowych z przełaczanymi pojemnościami - SC (ang. Switched Capacitor), które również nie wymagają w swojej budowie rezystorów, pozwolił na ich zintegrowanie z układami cyfrowymi, na jednym podłożu układu scalonego. Możliwości wykonania w jednym procesie technologicznym CMOS zarówno części cyfrowej jak i analogowej przyczyniło sie do dynamicznego rozwoju układów SC. Zastosowanie nadpróbkowania spowodowało, iż układy SC osiągają bardzo dobre parametry i zdominowały zastosowania układów analogowych, dedykowanych dla niskich częstotliwości. Podstawa konstrukcji układów SC, czyli konieczność wykorzystania stosunkowo dużych, liniowych i nieuziemionych kondensatorów, jest niestety też najpoważniejszym ograniczeniem tej technologii, szczególnie w aplikacjach dedykowanych dla wyższych częstotliwości.

Kolejnym krokiem umożliwiającym dostosowanie budowy układów analogowych do wymogów technologii cyfrowej oraz zwiększenie skali integracji układów scalonych było wyeliminowanie kondensatorów, które są skomplikowane w realizacji i wymagają dużych powierzchni w układzie scalonym. Rozwiązaniem tego problemu była zmiana sygnałów napięciowych na sygnały prądowe i zastosowanie układów pracujących w trybie prądowym, w tym układów z przełączanymi prądami – SI (ang. *Switched Current*). Układy SI pozwalają na przetwarzanie prądowych sygnałów analogowych w układach, które nie wykorzystują dodatkowych kondensatorów, a jedynie pojemności pasożytnicze elementów aktywnych – tranzystorów. Zastosowanie techniki prądowej pozwoliło na budowę układów przetwarzających sygnały analogowe w układach zbudowanych prawie wyłącznie z tranzystorów oraz ich łatwą integrację z częścią cyfrową.

Zapotrzebowanie na systemy dedykowane do zastosowań dla wysokich częstotliwości, takich jak wideo wysokiej rozdzielczości, czy układy RF (Radio

Frequency) dla aplikacji bezprzewodowych (*wireless*), powoduje, iż projektanci często są zmuszeni do zweryfikowania przyzwyczajeń i odejścia od standardowych rozwiązań w kierunku nowych metod. Taka potrzeba występuje ponieważ układy SC gorzej sprawdzają się dla wielkich częstotliwości. Historycznie rzecz ujmując tranzystor został wymyślony i opracowany jako element prądowy, chociaż jest stosowany przede wszystkim w rozwiązaniach układowych wykorzystujących jego możliwości do realizacji podukładów wzmacniaczy napięciowych, nie wykorzystujących jego faktycznego dużego pasma przepustowego. Interesujące jest również to, że głównym obszarem zastosowania trybu prądowego są właśnie układy przetworników a/c i c/a.

Tryb prądowy (w którym sygnałem jest prąd płynący w danej gałęzi) oferuje wiele korzyści. Generalnie układy pracujące w trybie prądowym nie wymagają wzmacniaczy o dużym wzmocnieniu napięciowym, przez co nie są wymagane wzmacniacze o bardzo dobrych parametrach. Jednocześnie układy pracujące w trybie prądowym nie wymagają rezystorów i kondensatorów o wysokiej dokładności. Pojemności, na których zapamiętywana jest wartość sygnału nie muszą mieć dużej i precyzyjnej wartości, mniej istotna jest również ich liniowość. Pomimo, że wybór trybu prądowego zwiększa tolerancję na parametry wykorzystywanych elementów analogowych, to właściwości budowanych w tym trybie przetworników a/c mogą ulec znacznej poprawie. Obecnie budowane algorytmiczne i cykliczne przetworniki a/c w trybie napięciowym oferują najmniejsze rozmiary układu dla określonej rozdzielczości. Natomiast układy projektowane w trybie prądowym zrealizowane jako przetworniki algorytmiczne oferują projektantom mały rozmiar przetwornika a/c w pełni kompatybilnego z większością procesów technologicznych VLSI.

W układach prądowych wartość przetwarzanego sygnału jest reprezentowana przez prąd płynący w danej gałęzi układu, w odróżnieniu od układów napięciowych, w których nośnikiem informacji jest napięcie w określonym węźle układu.

W odniesieniu do układów napięciowych, układy prądowe cechują się:

- dużym zakresem zmian prądu, czyli większą dynamiką przy małych wartościach napięcia zasilającego oraz małą wrażliwością na jego zmiany,
- szerszym pasmem, dużą szybkością narastania zbocza sygnału SR (ang. Slew Rate) oraz małym czasem propagacji,
- mniejszymi zniekształceniami nieliniowymi oraz mniejszą czułością na efekty przełączania (szumy przełączania),
- małą impedancją wejściową oraz wysoką impedancją wyjściową,
- większą odpornością na wyładowania elektrostatyczne ESD (ang. *Electrostatic Discharge*).

Celem niniejszej monografii jest przedstawienie metod projektowania oraz problematyki wykorzystania techniki układów mikroelektronicznych trybu prądowego w badaniach przetworników a/c kompatybilnych z technologią CMOS. Opisane w pracy przykłady układów analogowych są przeznaczone do realizacji na jednym podłożu z modułami cyfrowymi w ramach układu scalonego typu SoC. Zaprezentowane w rozprawie rozważania teoretyczne, badania projektowe i eksperymentalne oraz wyniki zrealizowanych prototypów przetworników a/c ukazują istotny wkład autora w rozwój tej klasy układów scalonych.

Monografia jest zorganizowana w następujący sposób:

- W rozdziale 1 porównano układy pracujące w trybie napięciowym i prądowym. Zestawiono wady i zalety obu tych trybów. Podkreślono przyczyny, dla których tryb prądowy jest korzystniejszy w budowie układów analogowych w procesach technologicznych dedykowanych dla układów cyfrowych. Opisano elementarne układy analogowe stosowane w technice prądowej. Przedstawiono układy pracujące w czasie ciągłym jak i dyskretnym – przełączane pierwszego i drugiego rodzaju. Opisano ich podstawowe parametry oraz zasadę działania.
- Rozdział 2 przedstawia parametry i klasyfikację współczesnych przetworników a/c wykonywanych w technologii CMOS. Opisano parametry statyczne i dynamiczne charakteryzujące właściwości przetworników oraz przybliżono metody ich pomiaru. Dokonano klasyfikacji przetworników pod względem szybkości przetwarzania i rozdzielczości. Opisano podstawowe typy przetworników realizowanych obecnie w technologii CMOS. Przybliżono wartości parametrów typowych przetworników produkowanych jako układy scalone.
- W rozdziale 3 opisano budowę i działanie prądowych przetworników a/c pracujących z częstotliwością Nyquista. Przedstawiono wyniki prac badawczych autora dotyczących projektu, wykonania i badań eksperymentalnych prototypu kompensacyjnych przetworników a/c zrealizowanego jako układ typu ASIC.
- Rozdział 4 opisuje prądowy przetwornik a/c pracujący z nadpróbkowaniem. Przedstawiono wyniki prac badawczych autora dotyczących projektu, wykonania i badań eksperymentalnych prototypu przetwornika a/c z modulatorami ΣΔ zrealizowanego jako układ typu ASIC.
- W rozdziale 5 opisano budowę i działanie prądowych potokowych przetworników a/c z korekcją błędów niezrównoważenia komparatorów. Przedstawiono wyniki prac badawczych autora dotyczących projektu, wykonania i badań doświadczalnych prototypu przetwornika ze stopniami o rozdzielczości 1,5 oraz 2,5 bita zrealizowanego jako układ ASIC.

- Rozdział 6 opisuje nowatorską metodę szybkiego prototypowania funkcjonalnego układów przetworników a/c wykorzystującą układy FPAA. Przedstawiono wyniki prac badawczych autora dotyczących zaprojektowania, konfiguracji i doświadczalnej weryfikacji parametrów prototypów trzech typów przetwornika a/c: algorytmicznego, potokowego i z modulatorami ΣΔ.
- W rozdziale 7 przedstawiono implementację opracowanych prototypów szybkich prądowych przetworników a/c do pozyskiwania rzeczywistych obrazów obiektów astronomicznych w automatycznym stanowisku obserwacyjnym. Zaprezentowano przebieg eksperymentu oraz wyniki przetwarzania uzyskanych rzeczywistych obrazów obiektów astronomicznych.
- W rozdziale 8 podsumowano zagadnienia zaprezentowane w książce i nakreślono dalsze kierunki prac badawczych autora.

Monografia opisuje reprezentatywne przykłady rozwiązań układowych przetworników a/c pracujących w trybie prądowym, którymi autor zajmował się w swoich badaniach w ostatniej dekadzie. Badał znane z literatury specjalistycznej podstawowe struktury i projektował własne rozwiązania układowe, dokonywał ich symulacji komputerowej, zaprezentował wyniki pomiarów prototypowych przetworników a/c wykonanych w technologiach FPGA i FPAA oraz w postaci specjalizowanych układów typu ASIC. Prądowe przetworniki potokowe zostały zastosowane praktycznie w systemie przetwarzania obrazów głębokiego kosmosu DSO (ang. *Deep Sky Object*). Działalność badawcza autora była realizowana między innymi w ramach kilku projektów finansowanych ze środków MNiSW:

- Główny wykonawca projektu badawczego nr: 3 P408 014 06 pt.: "Analiza i projektowanie filtrów i przetworników a/c i c/a" (zakończony 28.02.1997 r.).
- Kierownik projektu badawczego nr: 7 T11B 068 21 pt.: "Szybkie przetworniki A/C pracujące w trybie prądowym" (zakończony 31.08.2004 r.).
- Kierownik projektu badawczego nr 3 T11B 069 30 pt.: "Szybkie przetworniki A/C i C/A w układach interfejsów systemów przetwarzania sygnałów czasu rzeczywistego" (24.04.2006 r. – 23.04.2009 r.).
- Główny wykonawca projektu badawczego polsko-singapurskiego nr: 8 T11b 044 15, pt.: "New synthesis algorithm developments and hardware implementations for image processing applied to medical diagnostic and communication systems", (zakończony w 2012 r.).

Najważniejsze wyniki prac badawczych autora dotyczącej przetworników a/c są opisane w kilkudziesięciu pracach naukowych publikowanych w czasopismach specjalistycznych oraz prezentowanych w ramach uznanych konferencji krajowych i międzynarodowych.

1. Układy pracujące w trybie prądowym

1.1. Wprowadzenie

Rozwój układów cyfrowych VLSI [1.1–1.6] został osiągnięty dzięki miniaturyzacji elementów i zwiększeniu gęstości upakowania elementów w układzie scalonym. Zwiększenie gęstości upakowania elementów (tranzystorów) w cyfrowych układach scalonych wymusiło zmniejszenie napięcia zasilania i zmniejszenie mocy pobieranej ze źródła zasilania. Obniżenie napięcia zasilania pogorszyło parametry układów analogowych wytwarzanych wraz z układami cyfrowymi na podłożu układu scalonego, przede wszystkim zmniejszyło dynamikę przetwarzanych sygnałów napięciowych. Poprawę dynamiki układów analogowych uzyskano zastępując sygnały napięciowe sygnałami prądowymi, których dynamika nie jest ograniczona napięciem zasilania.

Rozwój technologii cyfrowych VLSI, jako układów niskonapięciowych o małym poborze mocy, spowodował zmiany w projektowaniu i budowie układów analogowych. W układach cyfrowych, minimalne napięcie zasilania zostało zmniejszone poniżej 1V. Dodatkowo, w niektórych zastosowaniach, takich jak np. kamery wideo, obniżenie napięcia zasilania i pobieranej mocy jest czynnikiem krytycznym, stanowiącym o przydatności danego rozwiązania [1.7-1.12]. Prowadzi to do istotnego problemu w analogowych układach napięciowych, mianowicie w układach o niskim zasilaniu i małej mocy pobieranej, zakres dynamiki przetwarzanych sygnałów jest poważnie ograniczony. Ten problem może być rozwiązany poprzez nowe podejście do realizacji układów, a mianowicie zastosowanie trybu prądowego.

Teoretyczne podstawy działania pierwszych układów pracujących w trybie prądowym, takich jak konwejory, zostały opracowane w latach 70. ubiegłego wieku [1.13-1.16]. Już w roku 1990, zostały opublikowane prace dotyczące wytwarzanych wraz z układami cyfrowymi na jednym podłożu układu VLSI, układów przetwarzających sygnały w trybie prądowym. Pierwsze, wczesne publikacje dotyczące tego zagadnienia pojawiły się w materiałach *Proceedings of the IEEE, Part G, 1990*, a następnie w czasopiśmie *IEEE Transactions on Circuits and Systems*. W latach 90. XX w. pojawiły się również pierwsze monografie dotyczące tego zagadnienia [1.17, 1.18].

Układy pracujące w trybie prądowym nie znalazły jednak szerokiego zastosowania z uwagi na powszechne stosowanie niedrogich napięciowych

wzmacniaczy operacyjnych oraz dobrze opracowane rozwiązania układów z przełączanymi pojemnościami (SC), kompatybilnych z układami cyfrowymi, pod względem możliwości ich wykonania w jednym układzie scalonym, razem z częścia cyfrowa. Układy SC sa przedmiotem wielu badań naukowych, a w literaturze dobrze udokumentowano ich różnorodne techniki projektowe. Wymagają one kondensatorów, które nie są podłączone do masy układu oraz mają liniową charakterystykę, co powoduje, że muszą być one wykonane w dodatkowych procesach technologicznych cyfrowych układów CMOS [1.19-1.23]. Podraża to znacznie proces projektowania i wykonania układów scalonych VLSI dedvkowanych do przetwarzania sygnałów mieszanych analogowocyfrowych [1.24, 1.25]. Ponadto wraz z pojawieniem sie układów logicznych z napieciem zasilania 3V, zmiana sygnału analogowego jest możliwa w mniejszym zakresie, co implikuje spadek dynamiki układu. Dodatkowo układy logiczne wymagają mniejszych napięć progowych, co powoduje pogorszenie parametrów przełączania układów SC. Problemy te prowadzą do zmiany koncepcji projektowania i wykorzystania układów pracujących w trybie prądowym, w zamian układów realizowanych w trybie napieciowym. Układy pracujące w trybie prądowym nie wymagają kondensatorów o dużej pojemności i liniowej charakterystyce, a co więcej zwykle nie wymagają żadnych dodatkowych kondensatorów oprócz wewnętrznych (pasożytniczych) pojemności tranzystorów [1.17, 1.18, 1.26–1.28].

Wykorzystanie prądowego trybu pracy spowodowało powrót do układów przetwarzających sygnały analogowe i znaczy ich rozwój. Sam termin *tryb prądowy* jest często źle rozumiany i interpretowany. Przyjęcie uogólnionego stwierdzenia, iż zastosowanie układów pracujących w trybie prądowym powoduje zwiększenie wzmocnienia niezależnie od wykorzystywanego pasma, niższe szumy, szerszy zakres dynamiki oraz większą prędkość przetwarzania, niestety nie zawsze jest słuszne. Tak, jak w przypadku innych parametrów, również te są uwarunkowane określoną technologią produkcji i konkretnym rozwiązaniem układowym.

W literaturze przedmiotu i w rozwiązaniach praktycznych pewne rozwiązania układowe zalicza się obecnie do układów pracujących w trybie prądowym. Do tej grupy należą takie rozwiązania jak: wspólna bramka (dla tranzystorów MOS), bądź wspólna baza (dla tranzystorów bipolarnych) dla konfiguracji pracy tranzystorów, zwierciadła prądowe, wzmacniacze prądowe, prądowe sprzężenie zwrotne, układy z wirtualną masą, a także układy o małej impedancji wejściowej. W niniejszej pracy przyjęto konwencję, iż układami z przełączanymi prądami są implementacje struktur, w których sygnały są reprezentowane przez próbki prądowe. Dla jasności, każdy układ, w którym rozpatruje się sygnały prądowe charakteryzuje się równocześnie określonymi zmianami napięcia w węzłach.

Książka: C. Toumazou, F.J. Lidgey, D. Haigh "Analogue IC design: the current mode approach" kładzie podwaliny pod zagadnienia ciągłego oraz dyskretnego w czasie przetwarzania sygnałów prądowych. Od jej wydania w 1990 roku, spora część badaczy oraz projektantów poświęca swoją uwagę układom pracującym w trybie prądowym. W kolejnej książce tego autora, opublikowanej w 1993 roku: Chris Toumazou, John B. Hughes, Nicholas C. Battersby, "Switched-currents: An Analogue Technique for Digital Technology" przedstawiono przyczynki do nowego trybu przetwarzania sygnałów, mianowicie układów z przełączanymi prądami, dyskretnych w czasie. Praca ta zapoczątkowała szereg opracowań dotyczących praktycznych zastosowań przełączanych prądów realizowanych w technologiach układów cyfrowych [1.29, 1.30].

1.2. Technika analogowa w procesach technologicznych dedykowanych dla układów cyfrowych

Tradycyjnie technika przełączanych pojemności [1.31–1.35] jest szeroko wykorzystywana w części interfejsów analogowych systemów mieszanych. Jednakże, układy z przełączanymi pojemnościami nie są w pełni kompatybilne z procesem technologicznym produkcji układów cyfrowych CMOS [1.36, 1.38]. Niestety wraz z rozwojem technologii CMOS (głównie zmniejszenie wymiarów), ta wada układów z przełaczanymi pojemnościami staje się coraz poważniejsza. Tradycyjnie układy z przełaczanymi pojemnościami wymagaja do swojej budowy wysokiej jakości liniowych kondensatorów, sa one zwykle wykonywane z wykorzystaniem dodatkowych warstw, które nie są niezbędne w układach wyłacznie cyfrowych. W przypadku zmniejszania rozmiarów technologicznych do zakresów nm wykonanie kondensatorów jest kosztowne i znacznie komplikuje proces wykonania struktury krzemowej. Dażenie do zmniejszania wymiarów prowadzi do zmniejszenia napięcia zasilania, bezpośrednio redukując maksymalne zmiany napięcia przetwarzanych sygnałów przez układy z przełaczanymi pojemnościami, co w konsekwencji prowadzi do ograniczenia zakresu dynamiki układów. W warunkach obniżonego napięcia zasilania również realizacja szybkich wzmacniaczy operacyjnych o wysokim wzmocnieniu jest o wiele trudniejsza [1.11, 1.36-1.38].

Problemy, które napotykają układy z przełączanymi pojemnościami i inne układy analogowych interfejsów pracujących w trybie napięciowym, z nadążaniem za rozwojem cyfrowych układów CMOS, powodują wzrost zainteresowania rozwiązaniami alternatywnymi, tj. układami pracującymi w trybie prądowym [1.17]. Technika przełączanych prądów jest techniką przetwarzania analogowych sygnałów dyskretnych w czasie, która w pełni wykorzystuje technologię cyfrową CMOS [1.18]. Układy z przełączanymi prądami nie wymagają liniowych, nieuziemionych kondensatorów, rezystorów, czy też wzmacniaczy operacyjnych. Technika przełączanych prądów otworzyła nowe możliwości w przetwarzaniu analogowych sygnałów dyskretnych i dała nowe impulsy do rozwoju technologii układów mieszanych wykonywanych w standardowej technologii cyfrowej CMOS. W przypadku techniki prądowej, rozwój i osiągnięcia technologii spowodowały rozwój projektowania analogowych układów scalonych, w których istnieje bardzo silnie powiązanie pomiędzy procesem technologicznym cyfrowych układów CMOS a budową bloków funkcjonalnych układów prądowych.

1.3. Porównanie układów pracujących w trybie napięciowym oraz w trybie prądowym

Dużą grupę układów elektronicznych stanowią przetworniki sygnałów. Zasadniczo, informacja przetwarzana przez te układy może być reprezentowana przez napięcie w określonym węźle lub też przez prąd płynący w określonej gałęzi. Do chwili obecnej były i są budowane najpowszechniej układy pracujące w trybie napięciowym, ale ostatnio coraz częściej wykorzystuje się i rośnie znaczenie układów pracujących w trybie prądowym.

Dotychczas układy pracujące w trybie napięciowym skupiały o wiele większą uwagę (i środki finansowe na badania) oraz szerszy zakres zastosowania niż konkurencyjne do nich układy pracujące w trybie prądowym, pomimo tego, iż koncepcja idealnego układu pracującego w trybie prądowym została zapoczątkowana pracami B.D.H. Tellegen'a w latach 50. [1.39]. Odzwierciedleniem tej sytuacji są pojedyncze monografie dotyczące układów prądowych i niezliczone dotyczące układów napięciowych.

Drastyczne ograniczenie wartości napięcia zasilania oraz umiarkowane zmniejszenie wartości progowej w technologii CMOS, spowodowały negatywny wpływ na wydajność układów napięciowych CMOS. Zazwyczaj doprowadza to do degradacji zakresu dynamiki, wzrostu czasu propagacji i zmniejszenia odstępu sygnału i szumu. Wpływ obniżenia napięcia zasilania na parametry układów pracujących w trybie prądowym nie jest tak znaczny jak ma to miejsce w przypadku układów pracujących w trybie napięciowym. Jest to spowodowane faktem, iż w układach w trybie prądowym nacisk projektowania jest położony na wartości prądu w gałęziach, podczas gdy wartości napięć w węzłach są mniej istotne, co znaczy, że mogą być też niższe.

Układy pracujące w trybie napięciowym	Układy pracujące w trybie prądowym
Napięcie węzłów sieci elektrycznej może być pomierzone konwencjonalnie z wyko- rzystaniem woltomierza bez modyfikacji topologii układu oraz bez ingerencji w funkcjonowanie układu.	Pomiar prądu w gałęzi układu, jest trud- niejszy i bardzo często wymaga zmiany topologii układu lub wykorzystania dodat- kowego obwodu/układu.
Nieskończona impedancja wejściowa bramki tranzystora MOS, powoduje iż element ten z powodzeniem jest wykorzy- stywany do budowy układów w trybie napięciowym, szczególnie w konfiguracji kaskadowej, takiej jak np. w wielostop- niowych wzmacniaczach napięciowych.	Przeciwnie układy pracujące w trybie prądowym charakteryzują się małą impe- dancję wejściową i wysoką impedancję wyjściową. Ponieważ w swojej budowie i działaniu tranzystor bipolarny oraz MOS są wzmacniaczami prądowymi, to równie prosto zaimplementować układy pracy tranzystora, w których przetwarzane są prądy i to one niosą informację o sygna- łach.
Urządzenia elektroniczne sprzed kilku, kilkunastu lat, zwykle nie miały wymogu mobilności i niskie napięcie zasilania nie było parametrem krytycznym. Dostępność w przeszłości wysokich napięć zasilania powodowała łatwość otrzymania bardzo dużego wzmocnienia, w układach w trybie napięciowym wykorzystującym topologię kaskodową lub regulowanej kaskody.	W nowoczesnych układach elektronicz- nych, w których istotnym jest obniżenie napięcia zasilania oraz pobieranej mocy, zastosowanie techniki prądowej pozwala uniknąć problemu redukcji dynamiki i amplitudy sygnałów wyjściowych.
Szum powstający jako efekt przełączania w układach napięciowych nie jest parame- trem krytycznym dla układów o wysokim napięciu zasilania.	Zastosowanie analogowych układów w trybie prądowym pozwala na znaczną redukcję szumów, w porównaniu do ana- logicznych układów analogowych w try- bie napięciowym, które są szczególnie podatne na zakłócenia pochodzące z czę- ści cyfrowej scalonych układów miesza- nych.
Niezbyt wygórowane wymagania na pręd- kość pracy układów pozwalały na długie czasy ładowania i rozładowania pojemno- ści w węzłach układu.	Współcześnie produkowane urządzenia elektroniczne cechują się minimalizacją wymiarów, poboru mocy oraz maksymali- zacją szybkości przetwarzania, rozdziel- czości i dokładności. Zastosowanie tech- niki prądowej pomaga w wielu przypad- kach w sprostaniu tym rosnącym wyma- ganiom.

 Tab. 1.1. Zestawienie właściwości układów pracujących w trybie napięciowym i prądowym.

Użyteczność analogowych układów CMOS pracujących w trybie prądowym, w sytuacji coraz większych problemów z zachowaniem dobrych parametrów układów w trybie napięciowym, dla obniżonej wartości napięcia zasilania, spowodowała gwałtowny wzrost zainteresowania tymi układami zarówno ośrodków badawczych jak i przemysłu.

Zarówno w badaniach naukowych jak i w zastosowaniach praktycznych zauważa się wyraźne koncentrowanie się albo na układach pracujących w technice napięciowej, bądź przeciwnie w technice prądowej. Jest to spowodowane innymi właściwościami sygnałów rozważanych jako napięcia węzłów, bądź prądów płynących w określonej gałęzi. Układy te mają wówczas inne właściwości, ale też wymagają innych rozwiązań układowych i sposobów projektowania znacznie odbiegających od siebie. W tabeli 1.1 opisano podstawowe różnice właściwości układów pracujących w trybie napięciom i prądowym.

Wybór określonej technologii w trakcie prac projektowych musi być uwarunkowany konkretnym rozwiązaniem układowym oraz zastosowaniem budowanego urządzenia. Przedstawienie w tej monografii porównania charakterystyk układów pracujących w trybie napięciowym i prądowym oraz wskazanie unikalnych i odrębnych cech jednej i drugiej klasy układów, może być przyczynkiem do wskazania, które układy pracujące w trybie prądowym mają lepsze właściwości i parametry przewyższające analogiczne układy wykonane w technice napięciowej [1.19-1.30, 1.40–1.55].

1.4. Elementarne układy analogowe w technice prądowej

Omawiając budowę złożonych systemów elektronicznych przetwarzania sygnałów można dokonać ich rozłożenia na mniejsze podukłady, realizujące poszczególne funkcje - układy elementarne [A1.1–A1.3, 1.56–1.61]. W tej części pracy zostaną omówione podstawowe elementarne układy analogowe zbudowane w technice prądowej [1.62–1.72], które są częściami składowymi przetworników a/c przedstawionych w kolejnych rozdziałach. Złożone struktury przetworników mogą składać się z kilku lub kilkudziesięciu takich układów. Jest to uwarunkowane rodzajem przetwornika a/c i jego podstawowymi parametrami, takimi jak: rozdzielczość, czy prędkość przetwarzania [A1.4]. Przedstawione w monografii rozwiązania będą ograniczone do reprezentatywnych układów, przetworników a/c, zrealizowanych w technologii CMOS, które były przedmiotem badań analitycznych i pomiarów prototypów zrealizowanych przez autora.

1.5. Układy elementarne pracujące w czasie ciągłym

1.5.1. Konwejor prądu

Idealny układ pracujący w trybie napięciowym charakteryzuje się nieskończoną impedancją wejściową, zerową impedancją wyjściową i stałym wzmocnieniem napięciowym. Układ taki może być reprezentowany jako idealny wzmacniacz operacyjny opisany w latach 1960 [1.73–1.77]. Bardzo duża impedancja wejściowa i mała impedancja wyjściowa wzmacniacza operacyjnego nie tylko pozwalają na efektywne kaskadowe łączenie kolejnych wzmacniaczy operacyjnych, bez niestabilności napięcia wyjściowego na obciążeniu (*Loading effect*), ale również zapewniają, iż charakterystyka tych układów zależy jedynie od układów zewnętrznych i nie zależy od charakterystyki samego wzmacniacza operacyjnego.

Odwrotnie do układu napięciowego, idealny układ pracujący w trybie prądowym charakteryzuje się zerową impedancją wejściową, nieskończoną impedancją wyjściową i stałym wzmocnieniem prądowym. Ponieważ duże wzmocnienie prądowe skutkuje dużym poborem mocy statycznej, dlatego dla idealnego układu prądowego przyjęto wzmocnienie prądowe równe 1.

Tak jak wzmacniacz operacyjny stanowi w technice napięciowej podstawowy blok funkcjonalny przetwarzania sygnału, tak w technice prądowej jako blok o tej funkcji można wykorzystać konwejor prądu [1.13, 1.14, 1.78–1.84]. Na rysunku 1.1 przedstawiono idealny konwejor prądu pierwszego rodzaju, oznaczany symbolem CCI±.

$$v_{y} \stackrel{i_{y}}{\longrightarrow} y \qquad z \qquad i_{z}$$

$$v_{x} \stackrel{i_{x}}{\longrightarrow} x \qquad z \qquad v_{z}$$

Rys. 1.1. Konwejor prądu pierwszego rodzaju CCI±

Polaryzacja konwejora określa, czy kierunek prądu wyjściowego jest taki sam jak kierunek prądu wejściowego wpływającego do wejścia *x*, czy też przeciwny, jak to pokazano na rysunku 1.1. Konwejor ma trzy wejścia/wyjścia: wejście prądowe *x*, wejście kontrolne *y* oraz wyjście *z*. Działanie układu ilustruje wzór:

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix}$$
(1.1)

Wejście y jest węzłem kontrolnym, na którym napięcie i prąd są takie same jak na węźle wejściowym x. Impedancja wejściowa dla węzłów x i y jest równa dokładnie zero. Natomiast węzeł wyjściowy z ma nieskończoną impedancję. Realizacja praktyczna konwejora prądu pierwszego rodzaju jest skomplikowana, ponieważ zarówno węzeł x jak i y mają zerową impedancje wejściową, pracując jako wejścia prądowe. Węzeł kontrolny y wymaga prądu sterującego, co jest kłopotliwe do uzyskania w realizacjach praktycznych. Aby uniknąć tego problemu zaproponowano konwejor prądu drugiego rodzaju CCII±, w którym węzeł kontrolny y jest sterowany napięciowo. Właściwości konwejora prądu drugiego rodzaju CCII± opisuje wzór:

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix}$$
(1.2)

Węzeł y sterowany napięciowo ma nieskończoną impedancję wejściową. Węzeł x sterowany prądowo ma natomiast zerową impedancję wejściową, co pozwala na wpływ prądu do węzła bez żadnej rezystancji. Ponieważ sygnałem wyjściowym konwejora jest prąd, obciążeniem musi być mała impedancja, dla układu idealnego $v_z = 0$. Realizacja układowa konwejora w technologii CMOS jest pokazana na rysunku 1.2.



Rys. 1.2. Realizacja układowa konwejora prądu drugiego rodzaju – CCII± w technologii CMOS [1.83, 1.84]

1.5.2. Źródło prądowe

Proste źródło prądowe [1.85–1.88] zostało przedstawione na rysunku 1.3. Jest ono zbudowane z dwóch tranzystorów. Ważną właściwością źródeł prądowych wykonanych w technologii MOS jest to, że nie wymagają one prądu bramki tranzystora MOS do podtrzymania prądu drenu. Połączenie drenu z bramką w źródle prądowym zapewnia pracę tranzystora MOS w zakresie nasycenia i powoduje przy zerowym prądzie bramki ustalenie na bramce tranzystora napięcia zapewniającego przepływ prądu drenu.





Rys. 1.3. Proste źródło prądowe [1.28]

Rys. 1.4. Odwracający wzmacniacz prądu zbudowany ze źródła prądowego MOS

Odwracający wzmacniacz prądowy [1.89–1.91] o umiarkowanym i prostym do wyznaczenia wzmocnieniu, może być zrealizowany z wykorzystaniem zwierciadła prądowego. Prosta realizacja źródła prądowego wykonanego w technologii MOS jest przedstawiona na rysunku 1.3. Jeżeli przyjmiemy, iż tranzystory pracują w zakresie nasycenia ($V_{DS} > V_{GS} - V_T$), to prąd drenu jest wyrażony zależnością:

$$i_D = \frac{\mu_o C_{ox} W}{2L} (v_{GS} - V_T)^2 (1 + \lambda v_{DS})$$
(1.3)

gdzie:

ruchliwość nośników ładunku elektrycznego dla kanału, μ_{o} $C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$ pojemność bramka-tlenek na jednostkę powierzchni, względna przenikalność elektryczna tlenku, ε_{ox} grubość warstwy tlenku, t_{ox} W efektywna szerokość kanału, efektywna długość kanału, L V_T napięcie progowe, współczynnik modulacji długości kanału. λ

Przy pominięciu wpływu impedancji źródła i obciążenia, wzmocnienie prądowe dla modelu wielkosygnałowego jest równe:

$$A_{i} = \frac{i_{OUT}}{i_{IN}} = -\frac{W_{2}L_{1}}{L_{2}W_{1}} \left(\frac{v_{GS} - V_{T2}}{v_{GS} - V_{T1}}\right)^{2} \frac{1 + \lambda v_{DS2}}{1 + \lambda v_{DS1}} \frac{\mu_{o2}C_{ox2}}{\mu_{o1}C_{ox1}}$$
(1.4)

Jeżeli tranzystory M_1 i M_2 są wykonane w tym samym procesie technologicznym, to mają identyczne parametry i różnią się tylko wymiarami W oraz L. Wówczas wzór (1.4) upraszcza się do postaci:

$$A_i = \frac{i_{OUT}}{i_{IN}} = -\frac{W_2 L_1}{L_2 W_1} \tag{1.5}$$

W rzeczywistym wykonaniu źródła prądowego, rozrzut parametrów technologicznych skutkujący wariancją parametrów tranzystorów: szerokości kanału W, długości kanału L, ruchliwości nośników μ_o oraz grubości warstwy tlenku t_{ox} powodują liniowy błąd wzmocnienia porównywalny do błędu wprowadzanego przez wariancję proporcji rezystorów w napięciowych wzmacniaczach operacyjnych z zamkniętą pętlą sprzężenia zwrotnego.



Rys. 1.5. Model małosygnałowy wzmacniacza prądu źródła prądowego z rysunku 1.4

Oprócz rozrzutu parametrów technologicznych tranzystorów MOS, rzeczywiste skończone wartości impedancji wejściowej i wyjściowej mają znaczący wpływ na dokładność wzmocnienia. Małosygnałowa impedancja wejściowa odwracającego wzmacniacza prądowego z rysunku 1.4, którego model małosygnałowy został przedstawiony na rysunku 1.5, zależy od transkonduktancji tranzystora wejściowego M_1 :

$$r_{in} \approx \frac{1}{g_{m1}} = \frac{1}{\sqrt{2\mu_{o1}C_{ox1}\frac{W_1}{L_1}I_{B1}}}$$
(1.6)

natomiast małosygnałowa impedancja wyjściowa zależy od konduktancji drenźródło tranzystora M_2 wynosi:

$$r_{out} \approx \frac{1}{g_{ds2}} = \frac{1}{\lambda I_{B2}} \tag{1.7}$$

We współczesnych submikronowych procesach technologicznych CMOS proporcja g_m/g_{ds} jest mniejsza niż 100, znaczący błąd wzmocnienia może zaistnieć w przypadku kaskadowego połączenia kilku stopni wzmacniaczy prądowych. W celu zredukowania tego błędu wzmocnienia stosuje się zwiększenie impedancji wyjściowej poprzez zastosowanie rożnych struktur źródeł kaskodowych zamiast stosowania prostych źródeł prądowych.

W zwierciadle prądowym z rysunku 1.3, napięcie na drenach tranzystorów M_1 ($v_{DS1} = v_{GS1}$) oraz M_2 (v_{DS2}) są różne, co może powodować błąd wzmocnienia zwierciadła. Dodatkowo napięcia drenów obu tranzystorów zależą od wartości

sygnału, co z kolei powoduje modulację długości kanału λ , co może wprowadzać dodatkowe zniekształcenia. Na rysunku 1.6 przedstawiono modyfikację źródła prądowego polegającą na dodaniu kaskody tranzystorów $M_2 - M_3$ w stopniu wyjściowym.



Rys. 1.6. Źródło prądowe z kaskodą tranzystorów na wyjściu układu [1.92]

Rys. 1.7. Kaskodowe źródło prądowe [1.92]

Na rysunku 1.7 przedstawiono ulepszoną strukturę źródła prądowego, która powoduje, że wartości napięcia na drenach są zbliżone. Modyfikacja układu polegająca na dodaniu dodatkowego zwierciadła prądowego zbudowanego z tranzystorów $M_3 - M_4$ na górze oryginalnego zwierciadła prądowego na tranzystorach $M_1 - M_2$. Powoduje to, iż napięcie v_{DS2} drenu tranzystora M_2 jest równe napięciu $v_{DS1} = v_{GS}$ na drenie tranzystora M_1 . Niestety powoduje to zmniejszenie zakresów napięć wejściowego i wyjściowego oraz zwiększenie minimalnej wartości napięcia zasilania.

1.5.3. Komparator prądowy

Komparator [A1.4, 1.93, 1.94] jest ważnym blokiem funkcjonalnym wykorzystywanym w przetwornikach a/c. W wielu rozwiązaniach układowych to właśnie parametry komparatora decydują o rozdzielczości i prędkości przetwarzania przetwornika. Prosty układ komparatora prądowego jest pokazany na rysunku 1.8. Tranzystory M_1 i M_2 tworzą prosty inwerter CMOS [1.36]. Prąd wejściowy jest całkowany przez pojemności pasożytnicze C_{gs1} i C_{gs2} , co powoduje, iż nie występuje offset stałoprądowy. Pobór mocy przez układ jest mały ponieważ zwykle jeden z tranzystorów jest wyłączony, za wyjątkiem sytuacji gdy sygnał wejściowy jest wartości bliskiej punktu przełączenia komparatora.

Mankamentem układu jest to, iż napięcie wejściowe może się zmieniać prawie w pełnym zakresie napięć zasilania, co powoduje, iż dla słabych prądów

wejściowych przełączenie następuje po przeładowaniu pojemności wejściowych, co limituje prędkość przetwarzania komparatora.



 i_{in1}

Rys. 1.8. Komparator prądowy [1.17]

Rys. 1.9. Sumator prądów wykorzystujący zwierciadło prądowe [1.17]

1.5.4. Sumator prądów wejściowych

Dla układów prądowych realizacja sumatora sygnałów wejściowych [1.17] jest niezwykle prosta. Ponieważ układy wejściowe charakteryzują się zerową impedancją wejściową, wystarczy doprowadzić do węzła wejściowego kilka gałęzi, z których sygnały prądowe mają być sumowane. Jako sumator może być wykorzystane zwierciadło prądowe przedstawione na rysunku 1.9. Prąd wyjściowy jest odbiciem prądów wpływający do węzła wejściowego stąd:

$$i_{out} = -(i_{in1} + i_{in2} + \dots + i_{ink})$$
(1.8)

1.5.5. Układ mnożący prąd wejściowy przez dwa

Układy mnożące prąd wejściowy przez stały współczynnik [1.17] wykorzystują zwierciadła prądowe zbudowane z tranzystorów o takich samych parametrach i dobranych współczynnikach W/L, co pozwala na dowolne kształtowanie proporcji prądów wyjściowego i wejściowego. Zagadnienie to omówiono już wcześniej w rozdziale 1.5.2 dotyczącym źródeł prądowych.



Rys. 1.10. Układ mnożący prąd wejściowy przez dwa [1.17]

Dokładniejszą metodą jest wykorzystanie połączenia kilku gałęzi zwierciadeł prądowych, co przedstawiono na rysunku 1.10. Tranzystor M_1 pracuje w tzw. połączeniu diodowym. Prąd płynący przez M_1 ustala napięcie v_{GS} na tranzystorze M_1 , ale jednocześnie na tranzystorach M_2 i M_3 . Przy założeniu takich samych parametrów oraz wymiarów W/L tranzystorów M_1 , M_2 i M_3 , prąd wyjściowy wynosi:

$$i_{out} = -(i_{in} + i_{in}) = -2 \cdot i_{in} \tag{1.9}$$

1.6. Układy elementarne pracujące w czasie dyskretnym

1.6.1. Przełączane źródło prądowe

Przełączane źródło prądowe [A1.5, 1.95–1.97] zostało przedstawione na rysunku 1.11. Jest ono zbudowane z dwóch tranzystorów oraz klucza analogowego. Ważną właściwością źródeł prądowych wykonanych w technologii MOS jest to, że nie wymagają one prądu bramki tranzystora MOS do podtrzymania prądu drenu. Połączenie drenu z bramką w źródle prądowym zapewnia pracę tranzystora MOS w zakresie nasycenia i powoduje przy zerowym prądzie bramki ustalenie na bramce tranzystora napięcia zapewniającego przepływ prądu drenu. Ta właściwość została wykorzystana w budowie przełączanych źródeł prądowych, które są zbudowane jako przełączane zwierciadła prądowe lub źródła dynamiczne. Przełączane źródła prądowe są podstawą układów z przełączanymi prądami pierwszej generacji, a przełączane dynamiczne źródła prądowe układów z przełączanymi prądami drugiej generacji.



Rys. 1.11. Przełączane źródło prądowe – układ pamiętający pierwszej generacji [1.25]

Przełączane źródło prądowe z rysunku 1.11 jest prostym układem pamiętającym z przełączanymi prądami. Układ ten wykorzystuje dwufazowy zegar przełączający klucz analogowy pomiędzy bramkami tranzystorów M_1 i M_2 . W fazie ϕ_1 klucz jest otwarty. W fazie ϕ_2 klucz jest zamknięty i układ można rozpatrywać jako zwierciadło prądowe. Suma prądów wejściowego i_{in} oraz I ze źródła prądowego płynąca przez dren tranzystora M_1 jest odzwierciedlana jako prąd drenu tranzystora M_2 . Dobór wymiarów W/L tranzystorów M_1 i M_2 zapewniający wzmocnienie prądowe A oraz wartość źródła prądowego $I_2=AI$, powoduje że przez tranzystor M_2 płynie prąd $A \cdot i_{in}+A \cdot I$, a stąd przez obciążenie płynie prąd $A \cdot i_{in}$.

W fazie ϕ_1 cyklu zegarowego, klucz jest otwarty, pojemność bramka-źródło C_{gs2} tranzystora M_2 utrzymuje napięcie v_{gs2} , ustalone w fazie ϕ_2 , utrzymując wartość prądu ustaloną w fazie ϕ_2 , aż do następnego okresu przebiegu zegarowego. Stąd prąd wyjściowy:

$$\dot{i}_{out} = -A \cdot \dot{i}_{in} \tag{1.10}$$

Jest to układ pamiętający z przełączanymi prądami, pierwszej generacji. Dzięki statycznemu prądowi polaryzującemu *AI*, prąd wyjściowy *i*_{out} może przyjmować wartości dodatnie i ujemne.



Rys. 1.12. Układ pamiętający z przełączanymi prądami w strukturze drugiej generacji [1.27]

Na rysunku 1.12a przedstawiono realizację układu pamiętającego z przełączanymi prądami w strukturze drugiej generacji, z jednym tranzystorem MOS. Układ jest sterowany dwufazowym zegarem z przebiegami ϕ_1 oraz ϕ_2 . Na rysunku zaznaczono fazy, w których dane klucze są zamknięte. W układzie tym tranzystor w pierwszej fazie zegara ϕ_1 pracuje w połączeniu diodowym, zapamiętując wartość prądu drenu oraz ustalając napięcie sterujące v_{gs} na bramce i zapamiętując je na pojemności C_{gs} . W drugiej fazie ϕ_2 ten sam tranzystor pracuje jako tranzystor wyjściowy. W przypadku gdy wymagane jest skalowanie pradu wyjściowego może być do tego wykorzystany dodatkowy tranzystor M_2 zaznaczony na rysunku 1.12b przerywaną linią. W obu przypadkach w fazie ϕ_2 tranzystor M_1 pracuje w połączeniu diodowym ustalając napięcie v_{gs} oraz ładując pojemność zgodnie z wartością prądu $i_{in} + I$. W fazie ϕ_1 , zapamiętana wartość v_{gs} jest wykorzystywana do wymuszenia tego samego prądu co w fazie ϕ_2 . Istotnym jest, iż pojemność C_{ox} nie musi być liniowa ponieważ jest wykorzystywana jedynie do zapamiętania wartości napięcia v_{gs} podtrzymującego przepływ prądu $-i_{out} + I$ przez jeden okres przełączania.

1.6.2. Przełączany sumator

Nieco inaczej działa sumator zbudowany ze zwierciadłem prądowym w konfiguracji układu drugiej generacji, przedstawiony na rysunku 1.13. Jest to układ dynamiczny, który próbkuje sygnał wejściowy. W fazie pierwszej ϕ_1 sygnału zegarowego tranzystor M_1 pracuje w połączeniu diodowym i pojemność pasożytnicza C_{gs} tranzystora M_1 ładuje się do napięcia v_{GS} , odpowiadającemu prądowi przepływającemu przez tranzystor o wartości $I + i_{in1} + i_{in2} + \dots + i_{ink}$. Następnie w fazie drugiej ϕ_2 przez tranzystor M_1 płynie nadal prąd ustalony w fazie pierwszej ϕ_1 wymuszony napięciem v_{GS} na pojemności C_{gs} . Stąd prąd wyjściowy sumatora:

$$i_{out} = -(i_{in1} + i_{in2} + \dots + i_{ink})$$
(1.11)

ale dla prądów wejściowych zapamiętanych połowę okresu przełączania wcześniej. Sumator prądów drugiej generacji odwraca sygnał i opóźnia go o połowę cyklu zegarowego.



Rys. 1.13. Sumator prądów w strukturze drugiej generacji wykorzystujący zwierciadło prądowe [1.27]

1.6.3. Przełączany układ mnożący przez dwa

Dynamiczne źródła prądowe mogą być efektywnie wykorzystane do budowy układów elementarnych mnożących lub dzielących prąd wejściowy przez stałą. Na rysunku 1.14 przedstawiono układ mnożący przez 2.

Jest to układ dynamiczny, próbkujący sygnał wejściowy, sterowany trójstanowym zegarem. W fazie pierwszej ϕ_1 sygnału zegarowego prąd wejściowy płynie w pierwszej (wejściowej) gałęzi przez tranzystory M_4 i M_1 pracujące w połączeniu diodowym a pojemność pasożytnicza C_{gs1} tranzystora M_1 ładuje się do napięcia v_{GS} , odpowiadającemu prądowi i_{in} , przepływającemu przez tranzystor. Następnie w fazie drugiej ϕ_2 i trzeciej ϕ_3 przez tranzystor M_1 płynie nadal prąd ustalony w fazie pierwszej ϕ_1 wymuszony napięciem v_{GS1} na pojemności C_{gs1} . W fazie drugiej ϕ_2 prąd wejściowy ładuje pojemność pasożytniczą C_{gs2} tranzystora M_2 i ustala napięcie v_{GS2} , utrzymujące przepływ prądu o tej samej wartości w pozostałych dwóch fazach. Z kolei w fazie trzeciej ϕ_3 prąd wejściowy ładuje pojemność pasożytniczą C_{gs3} tranzystora M_3 i ustala napięcie v_{GS3} , utrzymujące przepływ prądu o tej samej wartości w pozostałych dwóch fazach. Przy założeniu tej samej technologii wykonania i jednakowych wymiarów odpowiednich tranzystorów w gałęziach drugiej i trzeciej, prąd wyjściowy jest sumą dwóch kopii prądu wejściowego z gałęzi pierwszej:

$$i_{out} = -(i_{i2} + i_{i3}) = -(i_{in} + i_{in}) = -2 i_{in}$$
(1.12)

Przedstawiony układ mnożący przez 2, drugiej generacji opóźnia i odwraca fazę sygnału wejściowego. Rozbudowując układ z rysunku 1.14 o kolejne gałęzie wyjściowe oraz kolejne fazy zegara przełączającego, można uzyskać układ mnożący przez stałą równą 3, 4... Układ mnożący przez dowolną stałą niecał-kowitą można natomiast uzyskać modyfikując wymiary tranzystorów w gałęziach wyjściowych [1.19–1.23].



Rys. 1.14. Układ mnożący prąd wejściowy przez 2, wykorzystujący zwierciadło prądowe realizowany w strukturze drugiej generacji [1.27]

1.6.4. Układ opóźniający

Zmodyfikowany układ komórki pamiętającej z przełączanymi prądami jest przedstawiony na rysunku 1.15. Układ wykorzystuje pary zwierciadeł prądowych M_3 – M_4 , M_5 – M_6 i jest rozwinięciem prostej komórki pamiętającej z rysunku 1.11. Prąd i_{in} +I jest odzwierciedlany w fazie ϕ_2 w tranzystorze M_1 , a następnie w fazie ϕ_1 w tranzystorze M_3 . Tranzystor M_5 przewodzi prąd I zgodnie z lustrzanym działaniem tranzystorów M_4 i M_5 , powodując przepływ prądu i_{out} przez obciążenie. Ponieważ prąd wejściowy jest próbkowany w fazie ϕ_1 , to układ opóźnia sygnał wejściowy o jeden okres przebiegu zegarowego.



Rys. 1.15. Układ opóźniający sygnał wejściowy o pełny okres przebiegu zegarowego realizowany w strukturze pierwszej generacji [1.27]

1.6.5. Układ całkujący



Rys. 1.16. Układ całkujący z przełączanymi prądami pierwszej generacji odwracający fazę [1.27]

Na rysunku 1.16 przedstawiono modyfikację komórki pamiętającej, w celu uzyskania układu całkującego odwracającego fazę [1.27, 1.98]. W układzie tym część prądu wyjściowego i_f wpływa ponownie do węzła wejściowego. Wartość prądu sprzężenie zwrotnego jest dobierana poprzez odpowiedni dobór rozmia-rów tranzystorów zwierciadła prądowego. Jego funkcja transmitancji wynosi:

$$\frac{I_{out}}{I_{in}} = \frac{-A}{1 - Bz^{-1}}$$
(1.13)

Układ całkujący oraz układ opóźniający z rysunków 1.15 oraz 1.16 wykorzystują układy z przełączanymi prądami pierwszej generacji.

1.6.6. Układ różniczkujący

W budowie układów różniczkujących również wykorzystuje się układ opóźniający o jeden okres przebiegu zegarowego, może to być układ w konfiguracji pierwszej bądź drugiej generacji. Na rysunku 1.17 przedstawiono układ różniczkujący z przełączanymi prądami (pierwszej generacji), odwracający fazę. Zbudowany jest on z układu pamiętającego pierwszej generacji oraz dodatkowego stopnia wzmacniającego. Jego funkcja transmitancji wynosi:



Rys. 1.17. Układ różniczkujący z przełączanymi prądami pierwszej generacji odwracający fazę [1.27]

1.7. Wnioski

W rozdziale wskazano na podstawowe różnice w budowie i działaniu układów napięciowych oraz prądowych. Układy działające w trybie prądowym, dzięki swoim dobrym, a często lepszym właściwościom, są atrakcyjną alternatywą dla układów w trybie napięciowym. Z tego powodu wzbudzają coraz większe zainteresowanie projektantów i konstruktorów układów scalonych VLSI, SoC, czy też złożonych systemów przetwarzania danych. Rozwój technologii produkcji współczesnych układów scalonych CMOS, przy jednoczesnej konieczności zachowania dużego poziomu dynamiki przetwarzanych sygnałów, dążeniu do obniżenia napięcia zasilania i mocy pobieranej przez układy scalone, to najważniejsze przyczyny rozwoju techniki prądowej, którą obserwujemy w ostatnich latach. W ten trend wpisują się przetworniki a/c, które są interfejsami dla układów pomiaru wielkości fizycznych otaczającego nas świata, a systemami cyfrowymi przetwarzającymi i obrazującymi informację o tych wielkościach. Czujniki, rejestratory i inne urządzenia, które dokonują detekcji, obserwacji lub pomiaru wielkości fizycznych to bardzo często układy prądowe. Wówczas, w sposób naturalny sygnał analogowy, który należy przetworzyć na postać cyfrową jest prądem. W innym przypadku, gdy na wejściu przetwornika a/c jest analogowy sygnał napięciowy, często jest on najpierw zamieniany na sygnał prądowy, a dopiero wtedy przetwarzany na postać cyfrową.

Zmiany współczesnych technologii monolitycznych, rozwój nowych metod projektowych, symulacyjnych i pomiarowych, stanowią powody, dla których monolityczne przetworniki a/c działające w trybie prądowym okazują się ważną grupą układów elektronicznych.

Omówiono podstawowe układy analogowe CMOS trybu prądowego, które są elementami składowymi przetworników a/c, przedstawionych w dalszej części monografii w rozdziałach 4, 5 i 6. W ramach prac badawczych autor zaprojektował, wykonał i przebadał omawiane struktury. Przedstawiono wyniki opisujące działanie i parametry opracowanych przetworników a/c, ale również symulacje i pomiary cząstkowe obrazujące działanie poszczególnych bloków elementarnych.

1.8. Literatura

Publikacje z udziałem autora

- [A1.1] K. Wawryn, R. Suszyński, A. Mazurek, Switched current building blocks for analog sampled circuits, Kwartalnik Elektroniki i Telekomunikacji, tom. 40, nr 1, 1994.
- [A1.2] K. Wawryn, R. Suszyński, B. Strzeszewski, Current Mode Building Blocks for Pipelined A/D Converter, In proc. MIXDES 2004, Szczecin 2004, s. 353-356.
- [A1.3] R. Suszyński, B. Strzeszewski, The A/D Cell For Reconfigurable Data Converter, Proc. of the 9th Int. Conf. on Mixed Desing, MIXDES'2002, Wrocław 2002, 4 s.
- [A1.4] R. Suszyński, Measuring and Experimental Results of A/D Converters with Current Mode Sigma – Delta Modulators, Bulletin of the Polish Academy of Sciences, Technical Sciences, vol. 47, no. 3, 1998, s. 277-282.
- [A1.5] K. Wawryn, R. Suszyński, B. Strzeszewski, Current Mode Building Blocks for 8-bit Pipelined A/D Converter, Proceedings of International Conference on Signal, Circuits & Systems, Hammamet, Tunisia, 2008, s. 4.

Pozostałe prace

- [1] V.A. Chandrasetty, VLSI Design, Springer Science+Business Media, 2011.
- [2] G. De Micheli, S. Mir, R. Reis, *VLSI-SoC: Research Trends in VLSI and Systems on Chip*, Springer Science+Business Media, 2008.

- [3] J. Becker, M. De Oliveira Johann, R. Reis, VLSI-SoC: Technologies for Systems Integration, IEEE International Conference on Very Large Scale Integration, Brazil, 2009.
- [4] A. Pal, *Low-Power VLSI Circuits and Systems*, Springer Science+Business Media, 2014.
- [5] A. Bellaouar, M.I. Elmasry, *Low-Power Digital VLSI Design*, Springer Science +Business Media, 1995.
- [6] E. Piwowarska, W. Kuźmicz, G. Farkas, A. Poppe, M. Hristov, E. Manolov, B. Weber, J. Butas, G. Jabłoński, A. Jarosz, A. Kos, A. Gołda, R. Długosz, *AnaDig an Educational Chip for VLSI Device Characterization*, Proceedings of the IEEE International Conference on Microelectronic Systems Education MSE 2007, San Diego, USA, 2007, s. 19-20.
- [7] R. Długosz, K. Iniewski, Flexible Architecture of Ultra-Low-Power Current-Mode Interleaved Successive Approximation Analog-to-Digital Converter for Wireless Sensor Networks, Eurasip Book Series on Signal processing and Communications, Vol. 6, 2007, s. 1-13.
- [8] R. Długosz, V. Gaudet, K. Iniewski, Flexible Ultra Low Power Successive Approximation Analog-to-Digital Converter with Asynchronous Clock Generator, ECCE/CCGEI 2007, 20th Canadian Conference on Electrical and Computer Engineerig, Vancouver, Canada, 2007, s. 1649-1652.
- [9] R. Długosz, K. Iniewski, Ultra low power current-mode algorithmic analog-todigital converter implemented in 0.18um CMOS technology for wireless sensor network, Mixdes Design of Intergrated Circuits and Systems (MIXDES), Gdynia, 2006, s. 401-406.
- [10] R. Kleczek, P. Gryboś, Low Voltage Area Efficient Current-Mode CMOS Bandgap Reference in Deep Submicron Technology, 21st International Conference on Mixed Design of Integrated Circuits and Systems (MIXDES), Lublin, 2014, s. 247-251.
- [11] R. Wojtyna, P. Grad, J. Majewski, Four-Quadrant CMOS Amplifier for Low-Voltage Current-Mode Analog Signal Processing, Mixed Design of Integrated Circuits and Systems, The Springer International Series in Engineering and Computer Science, Vol. 434, 1998, s. 47-52.
- [12] W. Kuźmicz, E. Piwowarska, A. Pfitzner, D. Kasprowicz, A Static power consumption in nano-CMOS circuits: Physics and modelling, Proceedings of the 14th International Conference on Mixed Design of Integrated Circuits and Systems, Ciechocinek, 2007, s. 163-168.
- [13] K. Smith, A. Sedra. The current conveyer a new circuit building block. Proc. IEEE, 56, 1968, s. 1368-1369.
- [14] A. Sedra, K. Smith. A second-generation current conveyer and its applications, IEEE Trans. Circuit Theory, CT-17(1), 1970, s. 132-134.
- [15] M. Białko, R. Newcomb, Generation of all finite linear circuits using the integrated DVCCS, IEEE Transactions on Circuit Theory, Vol. 18(6), 1971, s. 733-736.
- [16] Z. Czarnul, M. Białko, R. Newcomb, *Neuristor-line pulse-train selector*, Electronics Letters Vol. 12(8), 1976, s. 205-206.

- [17] C. Toumazou, F.J. Lidgey, D. Haigh, *Analogue Ic Design: The Current-Mode Approach*, Publisher: Peter Peregrinus Limited, 1993.
- [18] C. Toumazou, J.B. Hughes, N.C. Battersby, *Switched-currents: An Analogue Technique for Digital Technology*, Publisher: Iet, 1993.
- [19] W. Kuźmicz, Układy scalone, Politechnika Warszawska, 2004.
- [20] J.A. Dobrowolski, *Układy scalone CMOS na częstotliwości radiowe i mikrofalowe*, Oficyna Wydawnicza Politechniki Warszawskiej, 2006.
- [21] A. Gołda, A. Kos, Projektowanie układów scalonych CMOS, Wydawnictwa Komunikacji i Łączności WKŁ, 2010
- [22] F. Maloberti, Analog Design for CMOS VLSI Systems, Kluwer Academic Publishers, 2001.
- [23] P. Ananda Mohan. Current-Mode VLSI Analog Filters. Bin Birkhuser Buch, 2003.
- [24] A. Handkiewicz, Mixed-Signal Systems: A Guide to CMOS Circuit Design, Wiley-IEEE Press, 2002.
- [25] M. Fulde, Variation Aware Analog and Mixed-Signal Circuit Design in Emerging Multi-Gate CMOS, Springer Science+Business Media, 2010.
- [26] G. Roberts, A.S. Sedra, All current-mode frequency selective circuits, Electronics Letters, Vol. 25(12), 1989, s. 759-761.
- [27] K. Wawryn, Układy z przełączanymi prądami, WNT, 1997.
- [28] Z. Ciota, M. Jankowski, A. Napieralski, *Design of A/D converters using current-mode standard cells*, 7th IEEE International Conference on Electronics, Circuits and Systems, Jounieh, Leabanon, 2000, s. 24-27.
- [29] A. Handkiewicz, P. Śniatała, M. Łukowiak, Low-voltage high-performance switched current memory cell, 10th Annual IEEE International ASIC Conference and Exhibit, Portland, OR, 1997, s. 12-16.
- [30] A. Handkiewicz, M. Kropidłowski, M. Łukowiak, Switched-Current Technique for Video Compression and Quantization, 12th Annual IEEE International Conference on ASIC/SOC, 1999, s. 299-303.
- [31] P.E. Allen, *Switched Capacitor Circuits*, Van Nostrand Reinhold Electrical/Computer Science and Engineering Series, 1984.
- [32] Quinn, Patrick J., van Roermund, Arthur, Switched-Capacitor Techniques for High-Accuracy Filter and ADC Design, Springer, 2007.
- [33] Vincent S. L. Cheung, Howard C. Luong, Design of Low-Voltage CMOS Switched-Opamp Switched-Capacitor Systems, Springer Science+Business Media, 2003.
- [34] Mingliang Liu, Demystifying Switched Capacitor Circuits, Elsevier, 2006.
- [35] Seng-Pan U, Rui Paulo Martins, José Epifânio da Franca, *Design of Very High-Frequency Multirate Switched-Capacitor Circuits*, Springer, 2006.
- [36] W. Marciniak Przyrządy półprzewodnikowe MOS, WNT, Warszawa, 1991.
- [37] A. Filipkowski, *Układy elektroniczne analogowe i cyfrowe*, WNT, Warszawa, 2006.
- [38] M. Tadeusiewicz, S. Hałgas, *Komputerowe metody analizy układów analogowych*. *Teoria i zastosowania*, WNT, Warszawa, 2008.
- [39] B.D.H. Tellegen, *The gyrator a new electric network element*, Phylips Res. Rep. 3, 1948, s. 81-101.
- [40] A. De Marcellis, G. Ferri, Analog Circuits and Systems for Voltage-Mode and Current-Mode Sensor Interfacing Applications, Springer Science+Business Media B.V. 2011.
- [41] G. Palmisano, G. Palumbo, and S. Pennisi, *CMOS Current Amplifiers. Kluwer Academic Publisher*, Boston, 1999.
- [42] K. Koli and K. Halonen, *CMOS Current Amplifiers: Speed versus Nonlinearity*, Kluwer Academic Publisher, Boston, 2002.
- [43] B. Wilson. *Recent developments in current conveyors and current-mode circuits,* IEEE Proc. Circuits, Devices, and Systems, 137(2),1990, s. 63-77.
- [44] Fei Yuan, CMOS Current-Mode Circuits for Data Communications, Springer Science+Business Media, 2007.
- [45] G. Robert and A. Sedra. *All current-mode frequency selective circuits*. Electronics Letters, 25(12):759-761, June 1989.
- [46] J. H. Huijsing, R.J. van de Plassche, W.M.C. Sansen, Analog Circuit Design, Low-Noise, Low-Power, Low-Voltage; Mixed-Mode Design with CAD Tools; Voltage, Current and Time References, Springer Science+Business Media Dordrecht, 1996.
- [47] R. Zele, D. Allstot, and T. Fiez, *Fully balanced CMOS current-mode circuits*, IEEE J. Solid-state Circuits, 28(5), 1993, s. 569-575.
- [48] T. Voo, C. Toumazou, A novel high speed current mirror compensation technique and application, In Proc. IEEE InVI Symp. on Circuit and Syst., Vol. 3, Seattle, 1995, s. 2108-2111.
- [49] T. Voo, C. Toumazou, High-speed current mirror resistive compensation, technique, Electronics Letters, 31(4), 1995, s. 248-250.
- [50] G. Palmisano, S. Pennisi, *Low-voltage dynamic biasing technique for CMOS class AB current-mode circuits*, Electronics Letters, 36(2), 2000, s. 114-115.
- [51] S. Szczepański, B. Pankiewicz, S. Kozieł, *Programmable feedforward linearized CMOS OTA for fully differential continuous-time filter design*, International Journal of Circuit Theory and Applications, Vol. 38(9), 2010, s. 885-899.
- [52] S. Szczepański, B. Pankiewicz, S. Kozieł, Programmable linearized CMOS OTA for fully differential continuous-time filter design, 1st International Conference on Information Technology (IT 2008), Gdansk, 2008, s. 483-486.
- [53] S. Kozieł, S. Szczepański, Dynamic range comparison of voltage-mode and current-mode state-space G(m)-C biquad filters in reciprocal structures, IEEE Transactions on Circuits and Systems - Fundamental Theory and Applications, Vol. 50(10), 2003, s. 1245-1255.
- [54] S. Kozieł, S. Szczepański, *Dynamic range comparison of voltage-mode and current-mode state-space G(m)-C biquad filters*, 8th IEEE International Conference on Electronics, Circuits and Systems, Malta, 2001, s. 819-822.
- [55] P. Wu, R. Schaumann, S. Szczepanski, A CMOS OTA with improved linearity based on current addition, IEEE International Symposium on Circuits and Systems, Vol. 3, New Orleans, LA 1990, s. 2296-2299
- [56] J. M. de la Rosa, B. Pérez-Verdú, A. Rodríguez-Vázquez, Systematic Design of CMOS Switched-Current Bandpass Sigma-Delta Modulators for Digital Communication Chips, Chapter: Switched-Current Building Blocks for ΣΔ Modulators, Kluwer Academic Publishers, 2002.

- [57] Nianxiong Tan, *Switched-Current Design and Implementation of Oversampling A/D Converters*, Chapter: Building Blocks for SI Oversampling A/D Converters, Springer Science+Business Media New York, 1997.
- [58] F. Maloberti, *Analog Design for CMOS VLSI Systems*, Chapter: Basic Building Blocks, Kluwer Academic Publishers, 2001.
- [59] M.A. Jabri, R.J. Coggins, B.G. Flower, *Adaptive Analog VLSI Neural Systems*, Chapter: Analog VLSI building blocks, Originally published by Chapman and Hall in 1996.
- [60] B. J. Sheu, J. Choi, *Neural Information Processing and VLSI*, Chapter: Analog VLSI Building Blocks, Kluwer Academic Publishers. 1995.
- [61] B. Black, Analog-to-Digital Converter Architectures and Choices for System Design, Analog Dialogue, vol. 38-8, 1999, s. 1-4.
- [62] K. Górecki, W. Stepowicz, Evaluation of macromodels of monolithic current mode PWM controllers, Proc. of International Conference on Modern Problems of Radio Engineering, Telecommunication and Computer Science, Ukraine, 2006, s. 141-144.
- [63] A. Handkiewicz, M. Kropidłowski, M. Łukowiak, M. Bartkowiak, Switchedcurrent filter design for image processing systems, 13th Annual IEEE International Conference on ASIC/SOC, 2000, s. 8-12.
- [64] S. Szczęsny, M. Naumowicz, A. Handkiewicz, SI-Studio-environment for SI circuits design automation, Bulletin of the Polish Academy of Sciences: Technical Sciences, Vol. 60 (4), 2012, s. 757-762.
- [65] A. Handkiewicz, S. Szczęsny, M. Naumowicz, P. Katarzyński, M. Melosik, P. Śniatała, M. Kropidłowski, *SI-Studio, a layout generator of current mode circuits*, Expert Systems with Applications, Vol. 42(6), 2015, s. 3205-3218.
- [66] P. Śniatała, J. Pierzchlewski, A. Handkiewicz, VHDL-AMS models for SI systems design, 15th International Conference on Mixed Design of Integrated Circuits and Systems, Poznań, 2008, s. 455-459.
- [67] S. Kuta, *Current mode circuit implementations of PWL functions*, Analog Integrated Circuits and Signal Processing Vol. 16(3), 1998, s. 285-297.
- [68] M. Szermer, M. Daniel, K. Ślusarczyk, M. Jankowski, A. Napieralski, Z. Ciota, Laboratory measurements of current mode circuits, 6th International Conference of CADSM, Lvov, Ukraine, 2001, s. 116-118.
- [69] M. Jankowski, Z. Ciota, *Realization of switched-current integrated circuit with application of modified design-path*, 9th International Conference on the Experience of Designing and Application of CAD Systems in Microelectronics Location: Lviv, Ukraine, 2007, s. 142-145.
- [70] P. Śniatała, J. Pierzchlewski, A. Handkiewicz, VHDL-AMS models for SI systems design, 15th International Conference on Mixed Design of Integrated Circuits and Systems, Poznań, 2008, s. 455-459.
- [71] P. Śniatała, R. Rudnicki, Automated design and layout generation for switched current circuits, IEEE International Symposium on Circuits and Systems, Kos, Greece, 2006, s. 637-640.

- [72] T. Talaska, R. Długosz, R. Wojtyna, *Current mode analog Kohonen neural network*, 14th International Conference on Mixed Design of Integrated Circuits and Systems Location, Ciechocinek, 2007, s. 250-255.
- [73] S. Franco, *Design with operational amplifiers and analog integrated circuits*, McGraw Hill, Boston, 3rd edition, 2002.
- [74] J. H. Huijsing, R.J. van de Plassche, W.M.C. Sansen, Analog Circuit Design, Low-Noise, Low-Power, Low-Voltage; Mixed-Mode Design with CAD Tools; Voltage, Current and Time References, Springer Science+Business Media Dordrecht, 1996.
- [75] J. Huijsing, *Operational Amplifiers, Theory and Design*, The Kluwer International Series in Engineering and Computer Science, 2001.
- [76] M.J. Fonderie, J.H. Huijsing, *Design of Low-Voltage Bipolar Operational Amplifiers*, The Springer International Series in Engineering and Computer Science, 1993.
- [77] S. Sakurai, M. Ismail, *Low-Voltage CMOS Operational Amplifiers*, The Springer International Series in Engineering and Computer Science, 1995.
- [78] B. Wilson, Universal conveyor instrumentation amplifier. Electronics Letters, 254(7), 1989, s. 470-471.
- [79] B. Wilson, *Performance analysis of current conveyors*, Electronic Letters, 25(23), 1989, s. 1596-1597.
- [80] B. Wilson, *Recent developments in current conveyors and current-mode circuits*, IEEE Proc. Circuits, Devices, and Systems, 137(2), 1990, s. 63-77.
- [81] G. Ferri, N.C. Guerrini, *Low-Voltage Low-Power CMOS Current Conveyors*, Kluwer Academic Publishers, 2003.
- [82] S. Rajput, S. Jamuar, *Low voltage, low power, high performance current conveyors*, In Proc. IEEE Int. Symp. Circuits and Syst, volume 1, 2001, s. 723-726.
- [83] R. Wojtyna, CMOS Current Conveyor for +/-3V Supply Operation, Analog Integrated Circuits and Signal Processing, Vol. 7(2), 1995, s. 91-101.
- [84] S. Kuta, W. Machowski, R. Wydmański, CMOS Current Conveyor Design and Macromodel, Mixed Design of Integrated Circuits and Systems, The Springer International Series in Engineering and Computer Science, Vol. 434, 1998, s. 21-27.
- [85] T. Voo, C. Toumazou, A novel high speed current mirror compensation technique and application, In Proc. IEEE Int. Symp. on Circuit and Syst., volume 3, Seattle 1995, s. 2108-2111.
- [86] T. Serrano, B. Linares-Barranco, *The active-input regulated-cascode current mir-ror*, IEEE Trans. Circuits and Syst. I, 41(6), 1994, s. 464-467.
- [87] T. Voo, C. Toumazou, *High-speed current mirror resistive compensation technique*, Electronics Letters, 31(4), 1995, s. 248-250.
- [88] S. Kawahito, Y. Tadokoro, CMOS class-ab current mirrors for precision currentmode analog-signal-processing elements, IEEE Trans, on Circuits and Syst. II, 43(12), 1996, s. 843-845.
- [89] K. Koli, K. Halonen, CMOS Current Amplifiers, Kluwer Academic Publishers, 2002.
- [90] T. Kaulberg, A CMOS current-mode operational amplifier, IEEE J. Solid-State Circuits, 28(7), 1993, s. 849-852.
- [91] K. Koli, K. Halonen, *CMOS Current Amplifiers*, Kluwer Academic Publishers, 2002.

- [92] M. Jabłoński, G. De Mey, A. Kos, Quad configuration for improved thermal design of cascode current mirror, Electronics Letters, Vol. 48, No. 2, 2012, s. 80–82.
- [93] G. Palmisano, G. Palumbo, *Offset-compensated low power current comparator*, Electronics Letters, 30(20), 1994, s. 1637-1338.
- [94] G. Palmisano, G. Palumbo, *High performance CMOS current comparator design*, IEEE Trans. Circuits and Syst. II, 43(12), 1996, s. 785-790.
- [95] P. Śniatała, A.S. Botha, A/D converter based on a new memory cell implemented using the switched current technique, Microelectronics Reliability, Vol. 44(5), 2004, s. 861-867.
- [96] P.V. Ananda Mohan, *Current-Mode VLSI Analog Filters*, Springer Science +Business Media, 2003.
- [97] B.E. Jonsson, *Switched-Current Signal Processing and A/D Conversion Circuits*, Springer Science+Business Media, 2000.
- [98] A. Handkiewicz, P. Śniatała, R. Rudnicki, J. Pierzchlewski, *Thermal noise measurement of SI integrator*, International Conference on Signals and Electronic Systems (ICSES 2008) Cracow, 2008, s. 85-88.

2. Współczesne przetworniki a/c wykonywane w technologii CMOS

2.1. Wprowadzenie

Jedna z ważniejszych klas układów należacych do mieszanych układów analogowo-cyfrowych są przetworniki a/c. Większość układów cyfrowych, przetwarzających sygnały zewnętrzne, wymaga na swoich wejściach i wyjściach interfejsów z uwagi na to, iż otaczający nas świat jest w swojej naturze analogowy. Sygnały, które chcemy mierzyć i przetwarzać są zwykle analogowe. W obecnie wytwarzanych urządzeniach elektronicznych, w większości rozwiązań, część cyfrowa realizuje wszystkie niezbedne obliczenia i przetwarzanie sygnałów, natomiast część analogowa stanowi wstępnie wzmocnienie oraz interfejs pomiędzy częścia cyfrowa a sygnałami zewnętrznymi. Taka konstrukcja współczesnych systemów powoduje konieczność tworzenia scalonych układów mieszanych, analogowo-cyfrowych, łączących w jednym układzie scalonym zarówno część analogowa jak i cyfrowa. Rozwój technologii i nowe możliwości programowalnych układów cyfrowych FPGA oraz programowalnych układów analogowych FPAA umożliwiają projektowanie i wykonanie jako pojedynczy układ scalony: całkowicie programowalnych, specjalizowanych układów mieszanych FPMA [2.1-2.3].

Przetworniki analogowo-cyfrowe [A2.1, 2.4–2.10] oznaczane w literaturze a/c lub a/d (*analog-digital*) są ogniwem pośredniczącym między czujnikami bądź układami analogowymi i układami (systemami) cyfrowego przetwarzania sygnałów. W niniejszej monografii będą stosowane oznaczenia a/c. W produkcji współczesnych przetworników a/c dąży się do wytwarzania układów cyfrowych i analogowych w standardowym procesie technologicznym na jednym podłożu układu scalonego typu SoC. Preferuje to stosowanie technologii CMOS. Przetworniki a/c CMOS są zasadniczym przedmiotem rozważań niniejszej pracy.

Przetworniki a/c umożliwiają przesyłanie informacji pomiędzy systemami analogowymi i cyfrowymi. Z tego względu są przystosowane do operowania zarówno sygnałami analogowymi, w których istotna informacja analogowa jest zawarta w wartości i znaku sygnału (napięcia lub prądu), jak też sygnałami cyfrowymi, reprezentowanymi przez odpowiednie kody cyfrowe, stanowiące uporządkowane zbiory stanów dwójkowych. Sygnał wyjściowy przetwornika a/c ma postać cyfrową. Formą zapisu cyfrowego są kody cyfrowe, które reprezentują wartość liczbową sygnałów w zapisie dwójkowym. W przetwornikach *N*-bitowych informacja cyfrowa jest na ogół reprezentowana w postaci słów kodowych:

$$A = a_{N-1}a_{N-2}...a_{i}...a_{1}a_{0}$$
(2.1)

gdzie $a_i \in \{0,1\}$ i N oznacza liczbę bitów kodu cyfrowego.

W przetwornikach a/c proces przetwarzania jest zawsze związany z potrzebą przyjęcia typowych wartości dla pełnego zakresu przetwarzania, czyli maksymalnej i minimalnej wartości sygnału x (napięcia lub prądu), więc najkorzystniejsze jest operowanie ułamkowymi liczbami dwójkowymi. Jeżeli największą wartość, jaką może przyjąć sygnał analogowy, oznaczy się X_{FS} (FS – Full Scale) to wartość sygnału reprezentowaną przez słowo kodowe A można określić z zależności:

$$x(A) = L(A)X_{FS} \tag{2.2}$$

gdzie *L*(*A*) jest liczbą ułamkową wyrażoną:

$$L(A) = a_{N-1}2^{-1} + a_{N-2}2^{-2} + \dots + a_i2^{-i} \dots + a_12^{-N+1} + a_02^{-N} = \sum_{i=1}^{N} a_{N-i}2^{-i}$$
(2.3)

Liczba bitów słowa cyfrowego N określa rozdzielczość przetwornika i jest jednym z jego podstawowych parametrów. Wyznacza ona stosunek przedziału kwantyzacji Q do pełnego zakresu przetwornika FS i jest równa odwrotności liczby poziomów kwantyzacji. Odmiennym parametrem przetwornika, aczkolwiek często mylonym z rozdzielczością, jest dokładność (bezwzględna lub względna), jest ona określona przez największą różnicę między rzeczywistą a przewidywaną wartością sygnału analogowego, dla danego słowa cyfrowego.

2.2. Parametry określające statyczne właściwości przetworników a/c

Parametry przetwornika a/c [A2.1, 2.4–2.10] dzielą się na statyczne i dynamiczne. Statyczne wynikają z analizy charakterystyki przetwarzania przetwornika, która określa zależność między sygnałem analogowym a wyjściowym słowem cyfrowym. Dla idealnego *N*-bitowego przetwornika a/c jest ona idealną charakterystyką schodkową o 2^N schodkach, na rysunku 2.1 przedstawiono przykład takiej charakterystyki dla przetwornika 3-bitowego.

Z powodu skończonej liczby bitów jeden cyfrowy kod nie odpowiada jednej wartości sygnału analogowego, lecz całemu przedziałowi. Ten przedział jest nazywany *krokiem kwantyzacji* QS (*Quantisation Step*). Jego amplituda zależy od pełnego zakresu X_{FS} sygnału i liczby bitów *N* przetwornika:



Rys. 2.1. Idealna charakterystyka przejściowa przetwornika a/c

Kodowanie różnych wartości sygnału analogowego tym samym kodem cyfrowym zależy od rozdzielczości i wprowadza błąd nazywany *błędem kwantyzacji*. Jest on definiowany jako różnica między charakterystykami ze skończoną rozdzielczością i z nieskończoną rozdzielczością.



Rys. 2.2. Błąd niezrównoważenia przetwornika a/c

Rzeczywista statyczna charakterystyka przetwarzania przetwornika różni się od idealnej. Przyczynami tych różnic mogą być: błąd niezrównoważenia, błąd skalowania, różnicowy błąd liniowości oraz całkowy błąd liniowości [2.11]. Błąd niezrównoważenia jest to stałe przesunięcie całej charakterystyki przetwarzania, jak pokazano na rysunku 2.2. Linia niebieska wyznacza idealną charakterystykę

(2.4)

przetwarzania, podczas gdy linia czerwona obrazuje możliwą pomierzoną i rzeczywistą charakterystykę przetwornika. Błąd niezrównoważenia (bezwzględny lub względny) określa się jako różnicę między rzeczywistą a idealną wartością sygnału cyfrowego, dla minimalnej lub zerowej wartości analogowej.



Rys. 2.3. Błąd skalowania przetwornika a/c

Błąd skalowania (wzmocnienia) jest określony przez różnicę między przewidywaną i ekstrapolowaną wartością rzeczywistą sygnału analogowego, dla pełnego zakresu przetwornika a/c, co zostało zilustrowane na rysunku 2.3. Błąd ten opisuje niewłaściwą wartość dla pełnego zakresu sygnału wejściowego przetwornika FS. Dla ujemnych błędów skalowania, cyfrowy kod złożony z samych jedynek odpowiada mniejszej wartości analogowej. Dla dodatnich błędów skalowania, maksymalna analogowa wartość sygnału jest uzyskiwana dla słowa cyfrowego mniejszego niż same jedynki.



Rys. 2.4. Nieliniowość całkowa (INL) przetwornika a/c

Jeżeli kolejne schodki charakterystyki przejściowej przetwornika nie są sobie równe to pojawiają się błędy liniowości: całkowy oraz różniczkowy. Na rysunkach 2.4–2.6 przedstawiono wykres pozwalający zrozumieć interpretację błędów nieliniowych przetwornika. Nieliniowość całkowa (INL – *Integral Nonlinearity*) określa maksymalne odchylenie rzeczywistej charakterystyki przetwarzania od idealnej krzywej schodkowej, rysunek 2.4.

Nieliniowość różniczkowa (DNL – Differential Nonlinearity) określa maksymalne odchylenie wartości schodka od wartości nominalnej przedziału kwantyzacji (QS). Charakteryzuje on lokalne odchylenia charakterystyki przetwarzania od idealnej. Na rysunku 2.5 przedstawiono przykład różnych wartości błędu DNL. Dla dużych błędów DNL (/DNL / > 1 LSB) w charakterystyce przetwarzania przetwornika pojawiają się pominięte kody (MC – Missing Codes).



Rys. 2.5. Nieliniowość różniczkowa (DNL) przetwornika a/c

Na rysunku 2.6 przedstawiono brakujące kody (MC) oraz błąd braku monotoniczności (NME *Non-Monotonicity Error*) który wskazuje, że rzeczywista charakterystyka przetwarzania przetwornika a/c nie zawsze jest krzywą narastającą. Pomiary parametrów statycznych przetworników a/c dokonuje się w stanowisku pomiarowym złożonym z programowalnego, dokładnego źródła napięcia stałego, przetwornika napięcie-prąd i rejestratora stanów logicznych. Na wejście badanego przetwornika a/c podaje się wolno zmienne, liniowo narastające napięcie (lub prąd dla przetworników prądowych), od wartości minimalnej do maksymalnej, w pełnym zakresie sygnału wejściowego. Przetwarzając zarejestrowane słowa cyfrowe na wyjściu przetwornika a/c można obliczyć jego liniowość, błąd skalowania i niezrównoważenia. Analiza zarejestrowanych kodów pozwala na wyszukanie punktów braku monotoniczności charakterystyki przetwarzania, czy brakujących kodów. Programując wejściowe źródło sygnału analogowego, można przeprowadzić cykl pomiarów, polegający na wielokrotnym podawaniu narastającego sygnału na wejściu przetwornika a/c i agregacji słów cyfrowych na jego wyjściu. Dysponując kodami wyjściowymi przetwornika a/c, dla wielokrotnych pełnozakresowych zmian na jego wejściu, możemy obliczyć gęstość kodów wyjściowych oraz wyznaczyć wartości nieliniowości różniczkowej (DNL) i nieliniowości całkowej (INL). [A.2.2, A2.3]



Rys. 2.6. Różniczkowy błąd nieliniowości przetwornika a/c

2.3. Parametry określające dynamiczne właściwości przetworników a/c

Parametrami dynamicznymi [A2.1, 2.4–2.10] przetworników są: stosunek sygnału do szumu, całkowite zniekształcenia harmoniczne, czas przetwarzania, maksymalny okres próbkowania, czas narastania i opadania, czas ustalania. Parametry te decydują o jakości i szybkości przetwarzania przetwornika. Stosunek sygnału do szumu zależy od błędu kwantyzacji związanej z rozdzielczością przetwornika, a także sposobu przetwarzania. Jest on powiązany z takimi parametrami jak liniowość, zniekształcenia nieliniowe, zakłócenia impulsowe i czas ustalania. Czas przetwarzania jest to opóźnienie sygnału od rozpoczęcia przetwarzania do uzyskania cyfrowej lub analogowej odpowiedzi na wyjściu. Opóźnienie to jest związane z maksymalnym okresem próbkowania, czasem narastania i czasem opadania. Proces przetwarzania odbywa się w skończonym czasie, ponieważ układy maja ograniczone pasmo co wpływa na czasy narastania i opadania, a w niektórych przypadkach zastosowany algorytm składa się ze skończonej liczby operacji każda realizowana w oddzielnym okresie próbkowania. Podstawowe parametry charakteryzujące właściwości dynamiczne przetwornika a/c są zdefiniowane w następujący sposób:

SINAD (*Signal to Noise and Distortion Ratio*) jest określony jako iloraz wartości skutecznej składowej podstawowej sygnału wejściowego przez średnią wartość pierwiastka kwadratowego wszystkich pozostałych składowych widma sygnału wyjściowego, włączając harmoniczne, ale bez składowej stałej. SINAD jest dobrym wskaźnikiem właściwości dynamicznych przetwornika ponieważ zawiera wszystkie składniki stanowiące o szumach i zniekształceniach. Wartość SINAD w dB określa następujący wzór:

$$SINAD = 20 \log \frac{S}{N+D} [dB]$$
(2.5)

SNR (*Signal to Noise Ratio*) jest obliczany z FFT podobnie do parametru SINAD, z tą różnicą, iż jest określony jako iloraz wartości skutecznej sygnału przez średnią wartość pierwiastka kwadratowego wszystkich pozostałych składowych widma sygnału wyjściowego poniżej częstotliwości Nyquista za wyjątkiem harmonicznych (w praktyce za wyjątkiem pięciu pierwszych harmonicznych) oraz składowej stałej. Wartość SNR wyrażoną w dB określa wzór:

$$SNR = 20 \log \frac{s}{N} \quad [dB] \tag{2.6}$$

Teoretyczny współczynnik SNR N-bitowego idealnego przetwornika a/c wynosi:

$$SNR = 6.02 \cdot N + 1.76 \text{ [dB]}$$
 (2.7)

THD (*Total Harmonic Distortion*) określa iloraz wartości skutecznej składowej podstawowej przez średnią wartość pierwiastka kwadratowego z sumy składowych harmonicznych (jako znaczące przyjmuje się tylko pięć pierwszych harmonicznych). Współczynnik THD jest zwykle wyznaczany dla amplitudy sygnału wyjściowego zbliżonej do wartości maksymalnej FS:

$$THD = 20\log\frac{s}{p} \text{ [dB]}$$
(2.8)

THD+N (*Total Harmonic Distortion plus Noise*) jest określony jako iloraz wartości skutecznej składowej podstawowej sygnału wejściowego przez średnią wartość pierwiastka kwadratowego z sumy składowych harmonicznych oraz wszystkich składowych szumu, należy określić pasmo dla którego został dokonany pomiar szumu. Współczynnik THD+N jest zwykle wyznaczany dla amplitudy sygnału wyjściowego zbliżonej do wartości maksymalnej FS.

SFDR (Spurious Free Dynamic Range) jest określony jako iloraz wartości skutecznej składowej podstawowej sygnału wejściowego przez amplitudę największej niepożądanej składowej częstotliwościowej, niezależnie dla jakiej częstotliwości ona występuje. Ten prążek niekoniecznie musi być wartością częstotliwości harmonicznej sygnału wejściowego. SFDR jest parametrem często wykorzystywanym w systemach telekomunikacyjnych, ponieważ pozwala określić minimalną wartość odstępu amplitudy sygnału od szumu i zakłóceń. SINAD, SNR, ENOB, THD, THD+N, SFDR są najczęściej wykorzystywanymi parametrami pozwalającymi określić właściwości dynamiczne przetworników a/c. Dodatkowymi parametrami charakteryzującymi dynamiczne właściwości przetwornika a/c są:

- czas przełączania czas zmiany wartości sygnału wyjściowego przetwornika od wartości początkowej do 90% pełnego zakresu zmiany sygnału wyjściowego;
- czas ustalania (konwersji) czas, po którym sygnał wyjściowy ustali się z dokładnością lepszą niż 0,5 LSB dla najgorszego przypadku zmiany liczby wejściowej (0→FS);
- czas przetwarzania czas potrzebny do jednego całkowitego przetworzenia sygnału analogowego na wartość cyfrową, z pełną wyspecyfikowaną dokładnością;
- maksymalna częstotliwość przetwarzania maksymalna liczba konwersji na sekundę;
- częstotliwość graniczna przetwarzania 1/czas konwersji.

Istnieje kilka sposobów pomiaru właściwości zniekształceń i szumów przetworników a/c, lecz wszystkie one wykorzystują metodę analizy FFT (*Fast Fourier Transform*). Na rysunku 2.7 przedstawiono schemat stanowiska pomiarowego przeznaczonego do analizy sygnału wyjściowego przetwornika a/c.



Rys. 2.7. Pomiar właściwości dynamicznych przetwornika a/c wykorzystujący analizę FFT wyjściowego sygnału cyfrowego

Wynikiem analizy FFT jest widmo cyfrowego sygnału wyjściowego przetwornika a/c, zawierające M/2 punktów w dziedzinie częstotliwości. M jest rozmiarem FFT – liczba próbek zapamiętanych w pamięci buforującej. Odległość między punktami w widmie wynosi f_s/M dla całkowitego pasma dla widma od zera do $f_s/2$, gdzie f_s jest częstotliwością próbkowania sygnału wejściowego. Rozdzielczość widma FFT wynosi f_s/M . Dzięki analizie FFT otrzymujemy wyniki możliwe do uzyskania w analogowym analizatorze widma, otrzymując wartości amplitud poszczególnych harmonicznych sygnału wejściowego i składowe szumu dla cyfrowego sygnału wyjściowego, po procesie kwantyzacji. Określenie amplitudy odpowiadającej częstotliwości sygnału wejściowego f_{in} , polega na wydzielaniu z widma FFT prążka odpowiadającego tej częstotliwości.



Rys. 2.8. Widmo FFT sygnału wyjściowego dla symulacji idealnego 16-bitowego przetwornika a/c Analog Devices AD9268 uzyskane za pomocą narzędzia projektowego ADIsimADC[™]. Zaznaczono obliczone parametry dynamiczne

Analizując poszczególne składowe widma otrzymanego z analizy FFT można obliczyć najważniejsze parametry charakteryzujące właściwości dynamiczne przetwornika a/c. Na rysunku 2.8 przedstawiono przykład symulacji widma sygnału wyjściowego dla przetwornika a/c o rozdzielczości 16 bitów – Analog Devices AD9268. Wyniki otrzymano za pomocą narzędzia projektowego ADI-simADC[™].

Tabela 2.1.Zestawienie parametrów przetwornika a/c AD9268, uzyskane za pomocą
narzędzia projektowego ADIsimADCTM

SNR:	78,80 dB	Fund:	-0,00 dBFS	Worst Other:	-104,06 dBc
SFDR:	86,50 dBc	2nd:	-93,03 dBc	Noise Floor:	-123,96 dBc
SINAD:	77,97 dBc	3rd:	-86,50 dBc		
THD:	85,58 dBc	4th:	-117,63 dBc		
ENOB:	12,66 Bits	5th:	-107,41 dBc		

Dla wejściowego analogowego sygnału sinusoidalnego o częstotliwości $f_{in} = 15$ MHz i maksymalnej wartości amplitudy, przy częstotliwości próbkowania 125

MSPS, uzyskano parametry widma FFT przedstawione na rysunku 2.8 oraz parametry zebrane w tabeli 2.1. Na rysunku widma FFT sygnału wyjściowego przetwornika zaznaczono drugą "**2**" (-93,20dB) i trzecią "**3**" (-86,52dB) harmoniczną częstotliwości podstawowej $f_{in} = 15$ MHz. Trzecia harmoniczna jest jednocześnie niepożądaną składową częstotliwościową o największej amplitudzie, jej wartość pozwala na wyliczenie SFDR = 86,52 dB. Na rysunku zaznaczono też wartość SNR = 78,81 dB.

Współczesne przetworniki a/c różnią się od siebie znacznie architekturą oraz parametrami. W celu oceny danego rozwiązania i porównania jego właściwości z innymi przetwornikami, wprowadzono parametry, które służą do oszacowania efektywności przetwornika. Pierwszym z nich jest ENOB (*Effective Number of Bits*), który określa zakres dynamiczny przetwornika, uwzględniając błąd kwantyzacji, błąd wstrzykiwania nośników, zniekształcenia i szum własny układu. ENOB jest obliczany na podstawie rzeczywistych danych pomiarowych przetwornika, zgodnie ze wzorem:

$$ENOB = \frac{SNR_{pomiar} - 1.76}{6.02} \tag{2.9}$$

Dzięki wykorzystaniu tej definicji można porównać parametry przetworników o tej samej rozdzielczości, ale o innej architekturze i właściwościach.

Kolejnym parametrem, najczęściej wykorzystywanym w literaturze przedmiotu, jest FOM (*Figure of Merit*). Pozwala on sklasyfikować przetworniki uwzględniając moc pobieraną przez układ, współczynnik ENOB oraz maksymalną częstotliwość sygnału wejściowego. Współczynnik jest określony wzorem:

$$FOM = \frac{Power}{2 \cdot f_{in} \cdot 2^{ENOB}}$$
(2.)

10)

gdzie:

Power – moc pobierana przez układ, f_{in} – częstotliwość sygnału wejściowego, ENOB – współczynnik określony wzorem (2.9).

2.4. Rodzaje i klasyfikacja przetworników a/c

W literaturze wyróżnia się podział przetworników a/c [A2.1, 2.4–2.10] na szybkie i o dużej rozdzielczości. Zwykle większa rozdzielczość jest okupiona mniejszą szybkością przetwarzania lub większą złożonością układu przetwornika [A2.1, A2.4, A2.5.]. Gdy wystarczy mała szybkość przetwarzania stosuje się przetworniki integracyjne, w których wartość sygnału analogowego jest przetwarzana na czas. Najprostszym rozwiązaniem jest przetwornik a/c z rozładowaniem liniowym. Poprawę szybkości uzyskuje się w przetwornikach z podwójnym całkowaniem. Dalszą poprawę uzyskuje się w przetwornikach z kompensacją wagową i przetwornikach algorytmicznych. Włączenie przetworników algorytmicznych w strukturę potokową procentuje dalszą poprawą szybkości przetwarzania. Najlepszą szybkość przetwarzania oferują przetworniki fleszowe (równoległe). W przetwornikach $\Sigma\Delta$ z kształtowaniem szumów dokładność przetwarzania może być "wymieniona" z szybkością. W systemach z kształtowaniem szumu błędy kwantyzacji są usuwane poza interesujące pasmo sygnału, a następnie usuwane przez filtr cyfrowy.

Wybór konkretnego rodzaju przetwornika zależy od jego zastosowania i jest uwarunkowany głównie podstawowymi parametrami, takimi jak: rozdzielczość, szybkość przetwarzania, moc pobierana ze źródła zasilania. W celu zapewnienia poprawnej konwersji wartości analogowej w cyfrową, przetworniki a/c są poprzedzane układami S/H (*Sample and Hold*) podtrzymującymi stałą wartość próbki sygnału wejściowego $x_{IN}(n)$, w całym *n*-tym okresie przetwarzania. Jeżeli przetwornik jest wielostopniowy, w strukturze potokowej, to układy S/H poprzedzają każdy kolejny stopień.

2.4.1. Przetworniki o dużej rozdzielczości przetwarzania

Współczesne systemy telekomunikacyjne, pomiarowe, czy cyfrowego przetwarzania sygnałów wymagają interfejsów wyposażonych w przetworniki a/c o dużych rozdzielczościach od 16 przez 18, a nawet do 24 bitów. Wybór konkretnego typu przetwornika nie jest uwarunkowany jednie jego rozdzielczością, ale również jego parametrami statycznymi i dynamicznymi, napięciem zasilania oraz moca pobierana przez układ. Obecnie w układach scalonych CMOS wykonuje się głównie przetworniki z kompensacją wagową, algorytmiczne oraz fleszowe (ang. *Flash*), w grupie przetworników pracujących z próbkowaniem niewiele lub kilkukrotnie większym od częstotliwości Nyquista. Można je realizować w strukturach dwu- i wielostopniowych, a przetworniki z kompensacją wagowa oraz algorytmiczne moga być realizowane w strukturach potokowych. Drugą grupę stanowią przetworniki a/c z modulatorem $\Sigma \Delta$, w którym stosuje się nadpróbkowanie, czyli próbkowanie wielokrotnie większe od częstotliwości Nyquista. W zależności od wymaganych właściwości przetwornika, wymienione typy przetworników moga być realizowane w technice napieciowej lub pradowej [A2.1, 2.4–2.10].

2.4.1.1. Przetwornik z kompensacją wagową

Na rysunku 2.9 przedstawiono algorytm przetwarzania przetwornika z kompensacja wagową [2.12–2.16]. Przetwarzanie przetwornika polega na kolejnym porównywaniu próbki sygnału przetwarzanego $x_{IN}(n)$ z sygnałem odniesienia wytwarzanym w przetworniku c/a. Najpierw porównuje się go z wartością $X_{REF}/2$. Jeżeli $x_{IN} > X_{REF}/2$ to porównuje się z napięciem $X_{REF}/2 + X_{REF}/4$, w przeciwnym razie z $X_{REF}/4$. W przypadku *N*-bitowego przetwornika następuje *N* porównań w całym cyklu porównań. Po *N*-tym porównaniu stan rejestru wyjściowego jest cyfrową reprezentacją sygnału wejściowego x_{IN} .



Rys. 2.9. Algorytm przetwarzania przetwornika a/c z kompensacją wagową

Układ przetwornika z kompensacją wagową jest pokazany na rysunku 2.10a. W pierwszej fazie cyklu przetwarzania rejestr SAR wystawia na wyjściach cyfrowych: "1" na najstarszym bicie (MSB) oraz "0" na pozostałych bitach do najmłodszego (LSB) (np. 10000000 dla przetwornika 8-bitowego, słowo kodowe ma wartości połowy zakresu FS). Słowo cyfrowe ustawione na wyjściu SAR jest przetwarzane przez N-bitowy przetwornik c/a na wartość analogową, która jest odejmowana od sygnału wejściowego i przekazywany na komparator. Jeżeli wartość na wejściu komparatora jest większa lub równa od X_{REF} to wcześniej ustawiony w tym cyklu bit jest kasowany. Jeżeli wartość na wejściu komparatora jest mniejsza od X_{REF} to wcześniej ustawiony w tym cyklu bit pozostaje "1". Tak uzyskany bit jest zapamiętywany w SAR i jego wartość jest wykorzystywana w kolejnych cyklach przetwarzania. Rozpoczyna się kolejny cykl przetwarzania. Na wartość "1" ustawiany jest bit o jedną pozycję młodszy i następuje analogiczny proces porównania, ale ze znaną już wartością starszego bitu. Ta procedura jest powtarzana tyle razy, ile wynosi długość wyjściowego słowa cyfrowego. Po N cyklach ustalone są wartości wszystkich N bitów, od MSB do LSB, wówczas wartość słowa cyfrowego przepisywana jest z SAR do rejestru wyjściowego. Następnie procedura rozpoczyna się od nowa ustaleniem wartości bitu MSB dla kolejnej próbki X_{IN} sygnału wejściowego. Na rysunku 2.10b przedstawiono przykładowy przebieg ustalenia wartości 6-bitowego słowa cyfrowego.

a)



Rys. 2.10. Przetwornik a/c z kompensacja wagowa; a) schemat blokowy; b) przykładowy przebieg ustalenia wartości 6-bitowego słowa cyfrowego

2.4.1.2. Przetwornik algorytmiczny

Do przetwarzania sygnału analogowego w cyfrowy z dużą rozdzielczościa, często stosuje się algorytm przedstawiony na rysunku 2.11. Sygnał wejściowy x_{IN} jest mnożony przez 2 i porównywany z sygnałem odniesienia $X_{REF} = X_{FS}$ Jeżeli jest on większy od X_{REF} , to wartość cyfrowa najbardziej znaczącego bitu wynosi 1 i jest wyznaczana różnica $2(x_{IN} - X_{REF})$. W przeciwnym przypadku wartość najbardziej znaczącego bitu wynosi 0. Proces jest kontynuowany iteracyjnie, aż do wyznaczenia najmniej znaczącego bitu.



Rys. 2.11. Algorytm przetwarzania algorytmicznego przetwornika a/c

Przetwornik a/c realizujący ten algorytm jest nazywany *przetwornikiem algorytmicznym* lub *cyklicznym* [A2.6, A2.7, 2.17–2.33]. Schemat blokowy takiego przetwornika przedstawiono na rysunku 2.12. Układ w pierwszym cyklu przetwarza próbkę sygnału wejściowego $x_{IN}(n)$. W *N*–1 kolejnych cyklach ten sam układ analizuje wartość reszty będącej różnicą analogowych sygnałów na wejściu kwantyzatora oraz odtworzonego na wyjściu przetwornika c/a. Po *N* cyklach ustalone jest *N* bitowe wyjściowe słowo cyfrowe i rozpoczyna się przetwarzanie kolejnej próbki analogowego sygnału wejściowego $x_{IN}(n+1)$. W przetwornikach tych stosuje się także rozwiązania, w których sygnał wejściowy nie jest mnożony, lecz dzielony przez 2.



Rys. 2.12. Schemat blokowy przetwornik algorytmicznego

Przetwornik algorytmiczny należy do przetworników małej mocy pobieranej ze źródła zasilania i zajmujących najmniejszą powierzchnię, dla zadanej rozdzielczości. Charakteryzuje się brakiem układu kontrolnego. Całkowity czas przetwarzania przetwornika algorytmicznego zależy od częstotliwości zegara i rozdzielczości przetwornika. Jeden cykl T_s potrzebny do przetworzenia jednego bitu wymaga czterech faz zegara. Stąd do przetworzenia N bitów potrzeba 4Ncykli zegara, tj. NT_s .

2.4.1.3. Przetwornik z modulatorem Sigma-Delta

Przetworniki z modulatorem Sigma-Delta ($\Sigma\Delta$) [A2.4, A2.5, A2.8, 2.34–2.44] są układami o wielkiej częstotliwości próbkowania, umożliwiającymi kształtowanie szumu kwantyzacji. Schematy blokowe podstawowych stosowanych modulatorów $\Sigma\Delta$ są pokazane na rysunku 2.13. We wszystkich rozwiązaniach sygnał wejściowy jest całkowany i następnie poddany kwantyzacji w przetworniku a/c. Modulator zawiera w pętli lub pętlach sprzężenia zwrotnego przetwornik lub przetworniki c/a, do rekonstrukcji sygnału analogowego. Modulator $\Sigma\Delta$ przekształca analogowy sygnał wejściowy w zmodulowany impulsowo 1-bitowy strumień cyfrowy, o częstotliwości próbkowania dużo większej niż częstotliwość Nyquista. Strumień ten jest zmodulowany sygnałem wejściowym tak, aby liczba impulsów w zadanym przedziale czasu T_c , nazywanym *okresem przetwarzania*, odpowiadała wartości sygnału wejściowego oraz, aby impulsy były możliwie równomiernie rozłożone w całym przedziale T_c . Następnie

1-bitowy strumień jest przekształcany w cyfrowy sygnał wyjściowy za pomocą filtru cyfrowego. Strumień zawiera oprócz informacji o sygnale, szum kwantyzacji ukształtowany przez modulator tak, iż większość jego energii leży poza pasmem sygnału. Cyfrowy sygnał wyjściowy jest uzyskiwany przez odfiltrowanie szumu.



Rys. 2.13. Schematy blokowe przetworników a/c z modulatorem ΣΔ; a) I rzędu; b) II rzędu; c) wielostopniowym III rzędu

W przetwornikach a/c z modulatorami $\Sigma \Delta$ wykorzystuje się kształtowanie szumu kwantyzacji. Na wyjściu modulatora otrzymujemy strumień cyfrowy z częstotliwością próbkowania dużo większą od częstotliwości Nyquista ($f_s >> 2f_{in}$). Strumień zawiera informację o sygnale wejściowym oraz szum kwantyzacji. Szum kwantyzacji jest ukształtowany przez modulator $\Sigma \Delta$ tak, że większość jego energii przypada dla dużych częstotliwości – powyżej pasma sygnału wejściowego. Dzięki temu szum ten może być łatwo odfiltrowany w decymatorze – dolnoprzepustowym filtrze cyfrowym na wyjściu przetwornika a/c.

2.4.2. Przetworniki o dużej szybkości przetwarzania

2.4.2.1. Przetwornik potokowy

Istotną wadą przetwornika algorytmicznego jest długi czas przetwarzania, związany z tym, iż każdy bit wyjściowego słowa cyfrowego uzyskiwany jest w pełnym cyklu przetwarzania. Zmniejszenie tego czasu uzyskuje się przez włączenie przetwornika algorytmicznego w strukturę potokową [A2.2, A2.3, A2.9, 2.45–2.55]. Możliwe jest osiągnięcie czasu przetwarzania równego pojedynczemu T_s , niezależnie od rozdzielczości przetwornika. uzyskuje się tak skrócony czas, bowiem przetwornik potokowy przetwarza jednocześnie N kolejnych próbek sygnału wejściowego. Ideę struktury potokowej przetwornika a/c ilustruje rysunek 2.14.



Rys. 2.14. Przetwornik potokowy a/c

Na wejściu znajduje się układ pamiętająco-próbkujący. W strukturze potokowej połączonych jest *K* stopni z *r*-bitowymi wyjściami cyfrowymi. Kolejne próbki sygnału wejściowego X_{IN} są przetwarzane przez pierwszy stopień i sygnał resztkowy przekazywany jest do kolejnego stopnia, w celu przetworzenia w następnym cyklu zegarowym. Ponieważ w danej chwili czasu każdy stopień przetwarza inną próbkę sygnału wejściowego, wyjścia cyfrowe stopni muszą zostać opóźnione w rejestrach przesuwających, tak, aby kody cyfrowe wszystkich stopni odpowiadały tej samej próbce. Dodatkowo może być wykorzystana korekcja cyfrowa jeżeli stopnie struktury potokowej generują nadmiarowe bity. Bliżej to zagadnienie omówiono w rozdziale 5.

2.4.2.2. Przetwornik równoległy jednostopniowy

Najszybszymi przetwornikami a/c są przetworniki fleszowe [2.56–2.64] nazywane także z bezpośrednim porównaniem równoległym. Budowane są jedno- dwu- i wielostopniowe przetworniki równoległe. Z uwagi na to, że ten typ przetwornika wykorzystuje bardzo dużą liczbę komparatorów i sygnałów referencyjnych, wykonuje się go zwykle w technice napięciowej lub prądowonapięciowej. Ideę działania jednostopniowego przetwornika fleszowego ilustruje rysunek 2.15. W swojej budowie jednostopniowy przetwornik wymaga tylu komparatorów i źródeł odniesienia ile jest przedziałów kwantyzacji w wyjściowym słowie cyfrowym. W *N*-bitowym przetworniku napięcie jest jednocześnie porównywane z $2^{N}-1$ poziomami odniesienia, przy użyciu $2^{N}-1$ komparatorów. Cyfrowe stany wyjściowe komparatorów, po odpowiednim zakodowaniu, dają cyfrową informację wyjściową.

Bardzo ważnym układem przetwornika równoległego jest komparator napięcia, decyduje on o dokładności przetwarzania. Na rysunku 2.16 przedstawiono komparator napięcia zrealizowany na tranzystorach CMOS. Proces porównania rozpoczyna się zamknięciem przełączników S_1 i S_3 . Impedancja wyjściowa układu inwertera CMOS połączonego zamkniętym przełącznikiem S_3 jest mała. Kondensator C jest ładowany do napięcia wejściowego przez przełącznik S_1 . Gdy przełączniki S_1 i S_3 zostaną otwarte, a przełącznik S_2 zamknięty, to na kondensatorze C jest pamiętana próbka napięcia wejściowego, inwerter CMOS osiąga pełne wzmocnienie i na jego wejście zostaje podana różnica napięcia z dzielnika i napięcia zapamiętanego na pojemności C. Jest ona wzmacniana i podawana na układ zatrzaskowy, w którym jest on zapamiętany i wzmacniany do standardowego poziomu logicznego.



Rys. 2.15. Przetwornik fleszowy a/c

Przetwornik fleszowy jednostopniowy jest bardzo szybki, lecz jego podstawową wadą jest bardzo duża liczba komparatorów koniecznych dla uzyskania dużej rozdzielczości. Jakość komparatorów i źródeł referencyjnych ma bardzo istotny wpływ na dokładność przetwarzania[A2.1]. Wadą też jest duży pobór mocy, szybko wzrastający wraz z rozdzielczością przetwornika [A2.1].



Rys. 2.16. Komparator napięć [A2.1]

2.4.2.3. Przetworniki równoległe dwu- i wielostopniowe

W celu uzyskania dużej rozdzielczości, z mniejszą liczbą komparatorów, buduje się przetworniki wielostopniowe. W układzie dwustopniowym pokazanym na rysunku 2.17 zastosowano kwantyzację zgrubną dla bitów bardziej znaczących. Uzyskaną wartość cyfrową przetwarza się ponownie na analogową w przetworniku c/a. Otrzymana wartość jest odejmowana od sygnału wejściowego i uzyskaną różnicę poddaje się przetworzeniu a/c w dokładnym przetworniku uzyskując mniej znaczące bity.



Rys. 2.17. Dwustopniowy fleszowy przetwornik a/c

Jeżeli połączymy kaskadowo fleszowe przetworniki a/c współpracujące z przetwornikami c/a służącymi do odtwarzania skwantowanych sygnałów analogowych oraz układami odejmującymi, to otrzymamy przetwornik wielostopniowy pokazany na rysunku 2.18. Minimalna rozdzielczość przetworników a/c i połączonych z nimi przetworników c/a może wynosić jeden bit. Dla takiego przetwornika *N*-bitową rozdzielczość uzyskuje się po *N* operacjach przetwarzania. Zwiększenie szybkości uzyskuje się tworząc strukturę potokową.



Rys. 2.18. Wielostopniowy fleszowy przetwornik a/c [A2.1]

2.5. Porównanie wybranych parametrów produkowanych rodzajów przetworników a/c

Jako przykład seryjnie produkowanych monolitycznych przetworników a/c, w tabeli 2.2 omówiono parametry wybranych układów firmy Analog Devices [2.65], wykorzystujących najczęściej stosowane sposoby przetwarzania.

Układ	Budowa	Napięcie zasi- lania	Prędkość prze- twarzania	Rozdzielczość	Całkowy błąd nieliniowości INL	Różnicowy błąd nieliniowości DNL	SFDR	SNR	Moc pobierana
AD9268	potokowy	1,8	125	16			88	78,8	750
-125		V	MSPS	bitów			dB	dB	mW
AD9446	potokowy	3,3	100	16	±3,0	±0,4	89	79,7	2,8
-100		V	MSPS	bitów	LSB	LSB	dB	dB	W
AD9650	potokowy	1,8	105	16			90	82,5	328
-105		V	MSPS	bitów			dB	dB	mW
AD7767	SAR	2,5	128	24	±3,0	±7,7	118	113,5	18
		V	kSPS	bitów	ppm	ppm	dB	dB	mW
AD7631	SAR	5,0	250	18	±2,5		112	101,0	120
		V	kSPS	bitów	LSB		dB	dB	mW
AD7641	SAR	2,5	2	18	±2,0			93,5	92
		V	MSPS	bitów	LSB			dB	mW
AD7710	Sigma-	±5	1,028	24				131	53
	Delta	V	kSPS	bity				dB	mW
AD7745	Sigma-	5	90	24					4,25
	Delta	V	SPS	bity					mW
AD7789	Sigma-	±5	16,6	24	±3,5				400
	Delta	V	SPS	bity	ppm				μW

Tabela 2.2. Parametry wybranych przetworników a/c Analog Devices

Przetworniki o najwyższej rozdzielczości realizowane są jako przetworniki $\Sigma\Delta$. Obecnie powszechnie produkuje się przetworniki a/c $\Sigma\Delta$ o rozdzielczości 24 bitów. Ponieważ wykorzystują one nadpróbkowanie, skutkuje to stosunkowo niską częstotliwością przetwarzania tych układów. Jednocześnie dzięki złożonej strukturze, wykorzystującej wielostopniowe modulatory wyższych rzędów, realizowane w technice prądowej uzyskuje się niskie napięcie zasilania i małą pobieraną moc, dla niektórych rozwiązań liczoną w µW.

Najszybsze wytwarzane przetworniki realizowane są za pomocą struktury potokowej, która wykorzystuje jednoczesne przetwarzanie wielu próbek sygnału. Struktura potokowa wymaga rozbudowanych wielostopniowych układów, stąd znacznie większy pobór mocy.

Powszechnie wykorzystywanym rozwiązaniem są również przetworniki SAR. Dla tego typu przetworników a/c istnieje niewiele rozwiązań o rozdzielczości powyżej 20 bitów, najczęściej są one realizowane dla rozdzielczości 18 bitów i niższych. Z uwagi na złożony i wieloetapowy algorytm obliczania wyjściowej wartości cyfrowej, przetworniki te charakteryzują się średnią prędkością przetwarzania.

2.6. Wnioski

W rozdziale przedstawiono podstawowe parametry statyczne i dynamiczne pozwalające określić właściwości przetworników a/c oraz sklasyfikować je na grupy pod względem jakości i prędkości przetwarzania. Omówiono podstawowe typy przetworników wykonywanych współcześnie w technologii CMOS oraz uwarunkowania technologiczne, którym podlegają. Dążenie konstruktorów układów elektronicznych do budowy układów SoC, zawierających część cyfrową i analogową w jednym układzie scalonym VLSI, narzuca silne ograniczenia na rodzaj i architekturę wykorzystywanych przetworników a/c. Powoduje to, iż obecnie najczęściej realizowanymi praktycznie oraz badanymi naukowo są przetworniki algorytmiczne i kompensacyjne pracujące w strukturach wielostopniowych lub potokowych oraz przetworniki z modulatorami $\Sigma\Delta$ wykorzystującymi nadpróbkowanie [A2.2–A2.5]. Wskazano na cechy struktur omawianych układów, które predysponują je do określonych zastosowań.

W kolejnych rozdziałach monografii omówiono szczegółowo rozwiązania układowe przetworników a/c realizowanych w technice prądowej, a dedykowanych do wykonania w technologii cyfrowej CMOS. Szczególnym zainteresowaniem autora cieszą się trzy podstawowe rodzaje przetworników a/c: algorytmiczne i kompensacyjne w strukturach potokowych oraz wykorzystujące modulację $\Sigma\Delta$. Te typy przetworników zostaną omówione szerzej w rozdziałach 3, 4 i 5, a także będą przytoczone wyniki prac badawczych autora dotyczących tych struktur.

2.7. Literatura

Publikacje z udziałem autora

- [A2.1] K. Wawryn, R. Suszyński, Współczesne Przetworniki a/c Wykonywane w Technologii CMOS, Referat zaproszony, Materiały Kraj. Konf. Elektr., Kołobrzeg, 2002, 12 s.
- [A2.2] K. Wawryn, R. Suszyński, B. Strzeszewski, A Low Power Digitally Error Corrected 2.5 Bit Per Stage Pipelined A/D Converter Using Current-Mode Signals, Journal of Circuits, Systems, and Computers, World Scientific Publishing Company, Vol. 20, No. 1, 2011, s. 29-43.
- [A2.3] K. Wawryn, R. Suszyński, B. Strzeszewski, Low Power Current Mode Pipelined A/D Converter, Proceedings of 52nd IEEE International Midwest Symposium on Circuits and Systems, Cancun, Mexico, 2009, s. 4.
- [A2.4] R. Suszyński, Measuring and Experimental Results of A/D Converters with Current Mode Sigma – Delta Modulators, Bulletin of the Polish Academy of Sciences, Technical Sciences, Vol. 47, No. 3, 1998, s. 277-282.
- [A2.5] R. Suszyński, K. Wawryn, Current Mode Sigma Delta Modulators, Bulletin of the Polish Academy of Sciences, Technical Sciences, Vol. 46, No. 4, 1998, s. 409-417.
- [A2.6] R. Suszyński, K. Wawryn, Rapid prototyping of algorithmic A/D converters based on FPAA devices, Bulletin of the Polish Academy of Sciences-Technical Sciences, Volume 61(3), 2013.
- [A2.7] K. Wawryn, R. Suszyński, A low power low voltage current-mode A/D and D/A converters for DSP system, 2011 IEEE 54th International Midwest Symposium on Circuits and Systems (MWSCAS), 2011, s. 4.
- [A2.8] R. Suszyński, K. Wawryn, *Rapid Prototyping of Third-Order Sigma-Delta A/D Converters*, International Journal of Electronics and Telecommunications, Vol. 59, No. 1, 2013.
- [A2.9] K. Wawryn, R. Suszyński, Low power 9-bit pipelined A/D and 8-bit selfcalibrated D/A converters for a DSP system, Bulletin of the Polish Academy of Sciences-Technical Sciences, Vol. 61(4), 2013.

Pozostałe prace

- J. Stehlik, D. Becvar, *Field Programmable Mixed-Signal Arrays (FPMA) Using Versatile Current/Voltage Conveyor Structures*, in IFIP International Federation for Information Processing, Vol. 245, Personal Wireless Communications, eds. B. Simak, R. Bestak, E. Kozowska, Boston: Springer, 2007, s. 628–636.
- [2] Dean R. D'Mello, P. Glenn Gulak, *Design Approaches to Field-Programmable Analog Integrated Circuits*, Analog Integrated Circuits and Signal Processing, September 1998, Volume 17(1-2), s. 7-34.
- [3] Z. Kulka, P. Woszczek, Implementation of digital sigma-delta modulators for high-resolution audio digital-to-analog converters based on field programmable gate array, Archives of Acoustics, Vol. 33(1), 2008, s. 93-101.
- [4] Z. Kulka, A. Libura, M. Nadachowski, Przetworniki analogowo-cyfrowe i cyfrowo-analogowe, WKiŁ, 1987.

- [5] D.H. Sheingold: Analog-digital conversion handbook, Analog Devices, Inc., 1972.
- [6] F. Maloberti,: *Data converters*, w: R.S. Soin, F. Maloberti, J. Franca: *Analogue-digital ASICs circuit techniques, design tools and applications*, Peter Peregrinus Ltd., Exeter, 1991.
- [7] R. van de Plassche, *Scalone Przetworniki Analogowo-Cyfrowe i Cyfrowoanalogowe*, Wydawnictwa Komunikacji i Łączności, Warszawa 1997.
- [8] F. Maloberti, Przetworniki danych, Wydawnictwa Komunikacji i Łączności, 2010.
- [9] R. van de Plassche, *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*, Kluwer Academic Publishers, 2003.
- [10] W. Kester, Przetworniki A/C i C/A. Teoria i praktyka, Wydawnictwo BTC, 2012.
- [11] K. Jędrzejewski, A. Płatonow, Analysis of influence of internal converters nonlinearity on intelligent cyclic ADC performance, Metrology and Measurement Systems, Polish Academy of Sciences Committee on Metrology and Scientific Instrumentation, Vol. 12, No. 4, 2005, s. 343-353.
- [12] A. Arian, M. Saberi, S. Hosseini-Khayat, R. Lotfi, Y. Leblebici, A 10-bit 50-MS/s redundant SAR ADC with split capacitive-array DAC, Analog Integrated Circuits and Signal Processing, Volume 71(3), 2012, s. 583-589.
- [13] T. Tong, P.K. Hanumolu, G.C. Temes, *A semi-synchronous SAR ADC*, Analog Integrated Circuits and Signal Processing, Volume 71(3), 2012, s. 407-410.
- [14] Xing Yuan Tong, Zhang Ming Zhu, Yin Tang Yang, Analysis and modeling of an improved dual-array D/A network for SAR A/D converter, Analog Integrated Circuits and Signal Processing, Volume 70(3), 2012, s. 417-420.
- [15] B. Sedighi, *Design of low-power SAR ADCs using hybrid DACs*, Analog Integrated Circuits and Signal Processing, Volume 77(3), 2013, s. 459-469.
- [16] P. Otfinowski, P. Gryboś, A 7-bit 500 kS/s 1 V micro-power SAR A/D converter for pixel systems, Microelectronics Journal, Vol. 45(9), 2014, s. 1154-1158.
- [17] Chi-Chang Lu, A 1.2 V 10-bit 5MS/s low power CMOS cyclic ADC based on double-sampling technique, Analog Integrated Circuits and Signal Processing, Volume 81(1), 2014, s. 137-143.
- [18] Jong-Kwan Woo, Taehoon Kim, Suhwan Kim, A comparator-based cyclic analogto-digital converter with multi-level input tracking boosted preset voltage, Analog Integrated Circuits and Signal Processing, Volume 81(3), 2014, s. 729-739.
- [19] Seongjoo Lee, Minkyu Song, A 9-bit 2 MS/s 1 mW CMOS cyclic folding A/D converter for battery management system, Analog Integrated Circuits and Signal Processing, Volume 76(1), 2013, s. 15-21.
- [20] D.G. Nairn, C.A.T. Salama, A ratio independent algorithms analog-to-digital converter combining dynamic techniques, IEEE Trans. Circuits and Systems, vol. CAS-37, 1990, s. 319-325.
- [21] K.L. Fong, C.A.T. Salama, Low-power current-mode algorithmic ADC, Proc. IEEE Int. Symp. Circuits and Systems, vol. 5, 1994, s. 473-476.
- [22] K. Jędrzejewski, J.P. Jasnos, High Resolution Intelligent Cyclic A/D Converters with Low Resolution Internal Feedback D/A Converters, Elektronika - konstrukcje, technologie, zastosowania, SIGMA NOT, nr 2, 2013, s. 47-51.
- [23] K. Jędrzejewski, New Effective Architectures and Conversion Algorithms for Adaptive Sub-ranging A/D Converters, 19th IMEKO TC4 Symposium and 17th

IWADC Workshop Advances in Instrumentation and Sensors Interoperability, 2013, s. 313-318.

- [24] K. Jędrzejewski, J.P. Jasnos, Simplification of Intelligent Cyclic A/D Converters Architecture Using Feedback DAC with Minimal Resolution, ICSES 2012, 2012.
- [25] K. Jędrzejewski, A. Płatonow, A New Approach to Cancellation of Harmonic Interferences in Intelligent Cyclic A/D Convertes, ICSES'2010 Conference Proceedings, 2010, s. 41-44.
- [26] A. Płatonow, Ł.M. Małkiewicz, Particularities of the Cyclic A/D Converters ENOB Definition and Measurement, Metrology and Measurement Systems, Polish Academy of Sciences Committee on Metrology and Scientific Instrumentation, Vol. 15, No. 1, 2008, s. 9-22.
- [27] K. Jędrzejewski, A. Płatonow, Application of digital dither to reduction of feedback D/A converters influence on intelligent cyclic A/D converters performance, Metrology and Measurement Systems, Polish Academy of Sciences Committee on Metrology and Scientific Instrumentation, Vol. 13, No. 4, 2006, s. 357-372.
- [28] A. Płatonow, K. Jędrzejewski, Ł.M. Małkiewicz, Principles of optimisation, modelling and testing of intelligent cyclic A/D converters, Measurement, Vol. 39, No. 3, 2006, s. 213-231.
- [29] A. Płatonow, K. Jędrzejewski, J.P. Jasnos, Design and Analysis of Algorithmic Multi-pass A/D Converters with the Theoretically Highest Resolution and Rate of Conversion, Measurement, Vol. 35, No. 3, 2004, s. 277-287.
- [30] A. Płatonow, Ł.M. Małkiewicz, K. Jędrzejewski, General Approach to Simulation Analysis of Sub-Optimal Cyclic A/D Converters Functioning and Design, Proceedings of Polish-Czech-Hungarian Workshop on Circuit Theory and Signal Processing 2004, 2004, s. 150-161.
- [31] A. Płatonow, *Preconditions for Practical Implementation of Intelligent Cyclic A/D Converters*, Proceedings of Polish-Czech-Hungarian Workshop on Circuit Theory and Signal Processing 2004, 2004, s. 62-71.
- [32] J. Jasnos, A. Płatonow, *The Hardware Prototype of Inteligent Cyclic A/D Converter*, Proceedings of the Polish-Hungarian-Czech Workshop On Circuit Theory, Signal Processing And Applications, 2003, s. 25-30.
- [33] A. Płatonow, K. Jędrzejewski, Improvement of Cyclic A/D Converters Performance under Greater Number of Conversion Cycles, Proceedings of the European Conference on Circuit Theory and Design, ECCTD 03, Vol. 3, 2003, s. 193-196.
- [34] R. Długosz, A. Dąbrowski, Design and Opimization of Decimation Filters for Sigma-Delta Modulators, IEEE Poland Section, Chapter CAS, Signal Processing, Poznań, 2000, s. 19-24.
- [35] P. Śniatała, M. Naumowicz, Joao L.A. de Melo, N. Paulino, J. Goes, A Hybrid Current-Mode Passive Second-Order Continuous-Time Sigma Delta Modulator, 21st International Conference on Mixed Design of Integrated Circuits and Systems (MIXDES), Lublin, 2014, s. 117-120.
- [36] R. Długosz, T. Talaska, M. Szulc, P. Śniatała, P. Stadelmann, S. Tanner, P.A. Farine, A Low Power, Low Chip Area Decimation Filter for Sigma-Delta Modulator for Flywheel MEMS Gyro realized in the CMOS 180 nm Technology, 28th International Conference on Microelectronics (MIEL), Nis, Serbia, 2012, s. 411-414.

- [37] P. Śniatała, K.W. Hsu, B. Woz, Low voltage switched-current Sigma Delta analog-to-digital converters modelling based on VHDL-AMS, 36th Asilomar Conference on Signals, Systems and Computers, Pacific Grove, CA, 2002, s. 1041-1045.
- [38] A.S. Botha, P. Śniatała, K.W. Hsu, P.R. Mukund, A low-voltage Switched-Current Memory Cell based Delta Sigma Modulator, 14th Annual IEEE International ASIC/SOC Conference, Arlington, VA, 2001, s. 464-468.
- [39] R. Golański, J. Godek, J. Kołodziej, W. Machowski, S.Kuta, *A comparative study* of integrated CMOS filters for non-uniform sampling Delta Modulators, International Conference on Circuits, Systems, Signals, Malta, 2010, s. 349-352.
- [40] J. Jasielski, W. Kołodziejski, S. Kuta, W. Machowski, M. Sapor, Low Voltage Charge-Pump-Based Sigma-Delta Modulator using CMOS Inverters as Building Blocks, International Conference on Signals and Electronic Systems (ICSES 2008), Kraków, 2008, s. 153-157.
- [41] M. Szermer, A. Napieralski, Modelling of the sigma-delta analogue to digital converters with application VHDL-AMS, International Conference on Modern Problems of Radio Engineering, Telecommunications and Computer Science (TC-SET 2004), Lviv, Ukraine, 2004, s. 240-243.
- [42] Yan Chen, Kong-Pang Pun, A 0.5-V 90-dB SNDR 102 dB-SFDR audio-band continuous-time delta-sigma modulator, Analog Integrated Circuit and Signal Processing, Vol. 71, 2012, s. 159-169.
- [43] E. Bonizzoni, A. Pena Perez, F. Maloberti, M.A. Garcia-Andrade, Two op-amps third-order sigma-delta modulator with 61-dB SNDR, 6-MHz bandwidth and 6mW power consumption, Analog Integrated Circuit and Signal Processing, Vol. 66, 2011, s. 381-388.
- [44] Hyungdong Roh, Hyuntae Lee, Youngkil Choi, Jeongjin Roh, A 0.8-V 816-nW delta-sigma modulator for low-power biomedical applications, Analog Integrated Circuit and Signal Processing, Vol. 63, 2010, s. 101-106.
- [45] K. Jędrzejewski, A. Płatonow, A New Approach to Design and Optimisation of Pipeline A/D Converters, IEEE Instrumentation and Measurement Technology Conference - IMTC 2007, 2007, s. 1-6.
- [46] K. Jędrzejewski, A. Płatonow, *Principles of new method of optimisation, design and modelling of pipeline A/D converters*, Measurement, Vol. 42, 2009, s. 1195-1202.
- [47] K. Jędrzejewski, A New Approach to Improvement of Pipeline A/D Converters Characteristics, Proceedings of SPIE: Photonics Applications in Astronomy, Communications, Industry, and High-Energy Physics Experiments, Vol. 8454, 2012.
- [48] K. Jędrzejewski, Modelling and Simulation Analysis of Intelligent Pipeline A/D Converters, 13-th International Workshop on ADC Modelling and Testing, 2008, s. 1097-1102.
- [49] D. Nairn, Algorithmic and pipelined a/d converters, w: C. Toumazou, J.B. Hughes, N.C. Battersby: Switched-currents an analogue technique for digital technology. Peter Peregrinus Ltd., London, 1993.

- [50] T. Tuikkanen, A. Kivi, T. Rahkonen, A Double Sampling 8-Bit, 50 MS/s, 32 mW Pipeline Converter with +6 dB Overdrive Headroom, Analog Integrated Circuits and Signal Processing, , Vol. 30(1), 2002, s. 7-14.
- [51] M.H. Zarifi, J. Frounchi, S. Farshchi, J.W. Judy, *A novel time-based low-power pipeline analog to digital converter*, Analog Integrated Circuits and Signal Processing, Vol. 62(3), 2010, s. 281-289.
- [52] M. Figueiredo, J. Goes, G. Evans, *General Overview of Pipeline Analog-to-Digital Converters, Reference-Free CMOS Pipeline Analog-to-Digital Converters*, Analog Circuits and Signal Processing, 2013, s. 5-45.
- [53] Y. Sugimoto, S. Tokito, H. Kakitani, E. Seta, A current-mode bit-block circuit applicable to low-voltage, low-power pipeline video-speed A/D converters, Analog Integrated Circuits and Signal Processing, 1996, Vol. 11(2), 1996, s. 149-161.
- [54] A. Moscovici, *High Speed A/D Converters*, Chapter: Serial Pipeline A/D with 1.5bit/stage, The International Series in Engineering and Computer Science Vol. 601, 2002, s. 171-192.
- [55] D. Miyazaki, S. Kawahito, Low-Power Area-Efficient Pipelined A/D Converter Design Using a Single-Ended Amplifier, Analog Integrated Circuits and Signal Processing, Vol. 25(3), 2000, s. 235-244.
- [56] P. Otfinowski, P. Gryboś, Flash ADCs for multichannel integrated systems in submicron technology, 60th IEEE Nuclear Science Symposium (NSS) / Medical Imaging Conference (MIC) / 20th International Workshop on Room-Temperature Semiconductor X-ray and Gamma-ray Detectors, Seoul, South Korea, 2013.
- [57] M. Frankiewicz, P. Mroszczyk, A. Gołda, A. Kos, Asynchronous 4-bit Flash Analog-to-Digital CMOS Converter with Over- and Underflow Detection System, Proceedings of the 16th International Conference Mixed Design of Integrated Circuits and Systems MIXDES 2009, Łódź, 2009, s. 234-237.
- [58] M. Frankiewicz, P. Mroszczyk, A. Gołda, A. Kos, *Design and Testing of CMOS Asynchronous Flash Analog-to-Digital Converter*, Elektronika, 2009, R. 50, nr 12, s. 19–22.
- [59] A. Płatonow, K. Jędrzejewski, Performance and Information Characteristics of Optimized Flash and Adaptive Cyclic A/D Converters, Proc. IMEKO -TC4 Symposium on Measurement of Electrical Quantities, 2014, s. 255-260.
- [60] Yuh-Shyan Hwang, Po-Hsiang Huang, Bo-Han Hwang, Jiann-Jong Chen, *An efficient power reduction technique for CMOS flash analog-to-digital converters*, Analog Integrated Circuits and Signal Processing, Vol. 61(3), 2009, s. 271-278.
- [61] D. David, B. Jean-Baptiste, D. Yann, S. Christophe, F. Pascal, M. Guy, B. Alain, A 4 Gsample/s 2 bits flash ADC with 2–4 GHz input bandwidth for radio astronomy applications, Analog Integrated Circuits and Signal Processing, Vol. 49(1), 2006, s. 31-38.
- [62] S. Seemi, Mohd. S. Sulaiman, A.S. Farooqui, A 1.3-Gsample/s interpolation with flash CMOS ADC based on active interpolation technique, Analog Integrated Circuits and Signal Processing, Vol. 47(3), 2006, s. 273-280.
- [63] G. Huang, P. Lin, A 1.0-V 6-b 40 MS/s time-domain flash ADC in 0.18 μm CMOS, Analog Integrated Circuits and Signal Processing, Vol. 77(2), 2013, s. 285-289.

- [64] S. Wang, C. Dehollain, Z. Hong, *Design of a parallel low power flash A/D converter for the sub-sampling IR-UWB receiver*, Analog Integrated Circuits and Signal Processing, Vol. 74(1), 2013, s. 255-266.
- [65] http://www.analog.com

3. Przetworniki a/c pracujące z częstotliwością Nyquista w trybie prądowym

3.1. Wprowadzenie

Dynamiczny rozwój metod projektowania i technologii produkcji analogowych układów scalonych przyczynia się do powstawania nowoczesnych konstrukcji przetworników a/c o dużej rozdzielczości, ale też bardzo szybkich. Duża prędkość przetwarzania wynika z wysokich częstotliwości próbkowania i oraz częstotliwości sygnału wejściowego, zbliżonych do częstotliwością Nyquista [3.1– 3.4]. W tej grupie, najpopularniejsze są przetworniki fleszowe, kompensacyjne i algorytmiczne. Szczególnie dla przetworników o rozdzielczości większej niż 12 bitów, realizuje się je jako wielostopniowe lub przetworniki o strukturze potokowej [A3.1–A3.9].

Zgodnie z teorią Nyquista minimalna częstotliwość, z którą można próbkować sygnał, aby można go było bez straty zrekonstruować, jest podwojoną wartością górnej częstotliwości pasma sygnału. Częstotliwość tę nazywamy częstotliwością Nyquista. Współczynnik określony jako iloraz częstotliwości próbkowania przez górną częstotliwość pasma sygnału dzieli przetworniki a/c na dwie klasy: przetworniki pracujące z częstotliwością równą lub nieco większą niż częstotliwość Nyquista oraz przetworniki pracujące z częstotliwością wielokrotnie większą, z tzw. nadpróbkowaniem.

Przetworniki pracujące z częstotliwością Nyquista lub niewiele większą mogą być sklasyfikowane zgodnie z liczbą cykli zegarowych potrzebnych do przetworzenia próbki sygnału wejściowego na kod cyfrowy o zadanej rozdzielczości. Wartość ta może się zmieniać w zakresie od 1 do 2*N*, gdzie *N* jest rozdzielczością przetwornika w bitach. Najszybszym konwerterem jest przetwornik fleszowy. Sygnał wejściowy jest przetwarzany w czasie pojedynczego cyklu zegarowego, w czasie którego realizowane jest porównanie sygnału wejściowego z 2^{*N*} poziomami, co wymaga użycia 2^{*N*}-1 komparatorów oraz źródeł referencyjnych. Niestety zastosowanie przetworników fleszowych jest ograniczone do małych i średnich rozdzielczości. Wraz ze wzrostem liczby bitów w wyjściowym kodzie cyfrowym przetwornika, rośnie liczba komparatorów i precyzyjnych źródeł odniesienia. Powoduje to znaczną rozbudowę układu, wzrost zajmowanej powierzchni w układzie scalonym oraz mocy pobieranej ze źródła zasilania. Dla przykładu, przy rozdzielczości 16 bitów, jednostopniowy napięciowy przetwornik fleszowy wymaga do swojej budowy 2^{16} -1 = 65535 komparatorów oraz precyzyjnych napięciowych źródeł referencyjnych, co przy zasilaniu np. 3V, skutkuje zakresem 45 µV na każde źródło. Parametry te wykraczają poza zakres tolerancji dokładności wykonania elementów w obecnej technologii VLSI i taki układ nie może być wykonany [2.2, 2.3]. Innymi typami przetworników należącymi do tej grupy są przetworniki, które dokonują kilku przetworzeń próbki sygnału wejściowego, wyznaczając jeden lub kilka bitów całego *N*-bitowego słowa cyfrowego. Są to przetworniki algorytmiczne (*Subranging*) [A3.10] i z kompensacją wagową (*Successive Approximation*) [A3.11]. Wykorzystują one kilka cykli zegarowych, aby wykonać zgrubne, a następnie jedno lub kilka dokładnych kwantyzacji, osiągając krokowo *N*-bitową rozdzielczość. Kolejnym sposobem jest połączenie kilku stopni z przetwornikami a/c o mniejszej rozdzielczości (jedno lub kilkubitowej) w strukturę potokową, co pozwala na znaczną redukcję czasu przetwarzania [A3.1–A3.9].

3.2. Algorytmiczny przetwornik a/c

Układowa realizacja przetwornika algorytmicznego w technice prądowej [A3.10, A3.11, 3.5-3.9] jest pokazana na rysunku 3.1. Okres przełączania, w którym jest przetwarzana dana próbka prądu wejściowego w N-bitowe wyjściowe słowo cyfrowe, składa się z N czterofazowych cykli. Pierwszy cykl różni sie od pozostałych przebiegami sterującymi niektórymi kluczami. Jeżeli klucze są sterowane w pierwszym cyklu innym przebiegiem zegarowym, niż w pozostałych cyklach przetwarzania, to taki przebieg zegarowy został umieszczony na rysunku 3.1 w nawiasie. Brak indeksu w opisie przebiegu zegarowego oznacza, że klucz jest zamknięty we wszystkich fazach cyklu. W okresie n jest utrzymywana stała wartość prądu $i_{N}(n)$, w celu wyznaczenia jej wartości cyfrowej. W każdym z N cykli okresu n jest wyznaczany jeden bit. Przetwarzanie rozpoczyna się od wyznaczenia w pierwszym cyklu najbardziej znaczącego bitu $(a_{N,1})$. Cykl ten składa się z następujących czterech faz. W fazie 1 prąd wejściowy $i_{N}(n)$ jest zapamiętany w układzie pamiętającym z tranzystorem M_{1} . W fazie 2 prąd wejściowy $i_{N}(n)$ jest zapamiętany w układzie pamiętającym z tranzystorem M_2 . W fazie 3 suma prądów układów pamiętających z tranzystorami M_1 i M_2 wynosząca $2i_{N}(n)$ jest kopiowana w układzie pamiętającym z tranzystorem M_3 . W fazie 4 różnica prądu między prądem drenu tranzystora M_{3} a prądem I_{REE} jest podawana na komparator. W zależności od tego czy prąd drenu tranzystora M_3 jest większy, czy mniejszy od prądu $I_{\rm REF}$, różnica tych prądów będzie wpływała albo wypływała z komparatora, a na wyjściu komparatora pojawi się jedynka albo zero logiczne. W ten sposób jest wyznaczony najbardziej znaczący bit.



Rys. 3.1. Przetwornik algorytmiczny z przełączanymi prądami [A3.13]

Kolejny bit (a_{N-2}) jest wyznaczany w następnym cyklu, różniącym się od pierwszego jedynie fazami pierwszą i drugą. W pierwszej fazie do ustalenia prądu drenu tranzystora M_1 , a w drugiej prądu drenu tranzystora M_2 , nie korzysta się z sygnału wejściowego $i_{N}(n)$, lecz z prądu drenu tranzystora M_3 , gdy poprzedni bit (a_{N-1}) wynosił 0, lub różnicy między prądami drenu tranzystora M_3 i prądu I_{REF} , gdy poprzedni bit wynosił 1. W kolejnych fazach cyklu następuje kopiowanie prądu drenu tranzystora M_1 w układzie pamiętającym z tranzystorem M_2 , sumowanie prądów drenów tranzystorów M_1 i M_2 w układzie pamiętającym z tranzystorem M_3 i podanie różnicy prądów drenu tranzystora M_3 i prądu I_{REF} na komparator w celu wyznaczenia wartości cyfrowej drugiego bitu. Kolejne bity są wyznaczane w identycznych cyklach jak cykl drugi, aż do wyznaczenia najmniej znaczącego bitu a_0 , czyli osiągnięcia wymaganej rozdziel-czości.

Zaletą tego układu jest jego prostota. Układ ten jest *N*-bitowym przetwornikiem, a nie jednym z *N* ogniw przetwornika, jak to ma miejsce w układach napięciowych. Ta *N*-krotna redukcja liczby podukładów powoduje także znaczne zmniejszenie mocy pobieranej ze źródła zasilania. Przetwornik algorytmiczny należy do przetworników małej mocy pobieranej ze źródła zasilania i zajmujących najmniejszą powierzchnię dla zadanej rozdzielczości. Charakteryzuje się brakiem układu kontrolnego. Całkowity czas przetwarzania przetwornika algorytmicznego zależy od częstotliwości zegara i rozdzielczości przetwornika. Jeden cykl T_s potrzebny do przetworzenia jednego bitu wymaga czterech faz zegara. Stąd do przetworzenia N bitów potrzeba $4 \cdot N$ cykli zegara, tj. $4 \cdot N \cdot T_s$.

3.3. Kompensacyjny przetwornik a/c

Jednym z typów przetwornika, który efektywnie wykorzystuje technologię CMOS i zalety techniki prądowej jest przetwornik kompensacyjny [3.10–3.13]. Zasada działania kompensacyjnego przetwornika a/c polega na wielokrotnym przetwarzaniu próbki sygnału wejściowego i jej porównywanie z coraz dokładniejszą wartością uzyskiwanego wyjściowego słowa cyfrowego. W każdym kolejnym kroku przetwarzania, zgodnie z tą samą procedurą, uzyskiwana jest wartość pojedynczego bitu wyjściowego słowa cyfrowego oraz analogowa wartość referencyjna odtwarzana w przetworniku c/a. Procedura ta jest powtarzana N razy, aż do uzyskania wyjściowego słowa cyfrowego o rozdzielczości N bitów.



Rys. 3.2. Algorytm konwersji kompensacyjnego przetwornika a/c działającego w technice prądowej [A3.12]

Algorytm konwersji analogowego, prądowego sygnału wejściowego na kod cyfrowy, dla *N*-bitowego przetwornika, został przedstawiony na rysunku 3.2. Polega on na wielokrotnym porównaniu próbki sygnału wejściowego i_{in} z prądem referencyjnym I_{REF} , którego wartość jest rekonstruowana na podstawie bitów wyjściowego słowa cyfrowego, uzyskanych we wcześniejszych krokach. W pierwszym kroku sygnał wejściowy $i_{IN}(n)$ jest porównywany z prądem referencyjnym $I_{REF} = I_{FS}/2$, gdzie I_{FS} jest maksymalną wartością sygnału wejściowego słowa cyfrowego jest ustawiany na "1", a w następnym kroku prąd $i_{IN}(n)$ jest porównywany z $I_{REF} = I_{FS}/2 + I_{FS}/4$. W przeciwnym przypadku, gdy i_{IN} jest mniejszy niż I_{REF} MSB jest kasowany na "0", a w następnym kroku prąd $i_{IN}(n)$ jest porównywany z $I_{REF} = I_{FS}/4$. Algorytm jest powtarzany N razy, aż do uzyskania wartości LSB.

Przetwornik a/c działający według algorytmu z rysunku 3.2 został zrealizowany w technologii CMOS w technice prądowej [A3.12, A3.13]. W celu zwiększenia prędkości przetwarzania oraz z uwagi na prostsze układy synchronizujące kolejne kroki przetwarzania przetwornik został zrealizowany w strukturze potokowej [A3.1–A3.9, 3.14–3.24]. W stosunku do opisanego algorytmu zmiana ta powoduje, iż kolejne bity wyjściowego słowa cyfrowego są wyznaczane w kolejnych stopniach struktury potokowej, co odpowiada procedurze przetwarzania w kolejnych pętlach działania algorytmu. Na rysunku 3.3 pokazano schemat blokowy kompensacyjnego przetwornika a/c zrealizowanego w technice prądowej wykorzystującego algorytm przetwarzania z dzieleniem prądu odniesienia.



Rys. 3.3. Schemat blokowy kompensacyjnego przetwornika a/c zrealizowanego w technice prądowej [A3.12]

Zasada działania układu jest pokazana na rysunku 3.4, na przykładzie trzech pierwszych stopni układu, w których są wyznaczane trzy najbardziej znaczące bity. Zasada działania stopni, w których wyznaczane są dalsze bity słowa cy-frowego, jest analogiczna do trzech pierwszych. Prąd I_{FS} reprezentuje pełny

zakres prądu, a_{N-1} jest najbardziej znaczącym bitem, a_{N-2} następnym itd. Wielkość $i_{N}(n)$ oznacza prąd wejściowy w okresie przełączania *n*.



Rys. 3.4. Zasada działania kompensacyjnego przetwornika a/c zrealizowanego w technice prądowej, przedstawiono trzy pierwsze stopnie [A3.12]

W okresie *n*, w pierwszym stopniu struktury potokowej prąd wejściowy $i_{IN}(n)$ jest porównywany z prądem odniesienia $I_{REF1} = I_{FS} 2^{-1}$. Jeżeli prąd $i_{IN}(n) > I_{REF1}$, to $a_{N-1}(n) = 1$, w przeciwnym razie $a_{N-1}(n) = 0$.

W okresie *n*+1w drugim stopniu struktury potokowej prąd wejściowy $i_{IN}(n)$ jest porównywany z prądem odniesienia $I_{REF2} = I_{FS}[a_{N-1}(n)2^{-1}+2^{-2}]$. Jeżeli $i_{IN}(n) > I_{REF2}$, to $a_{N-2}(n) = 1$, w przeciwnym razie $a_{N-2}(n) = 0$. Równocześnie w pierwszym stopniu rozpoczyna się proces przetwarzania kolejnej próbki prądu wejściowego $i_{IN}(n+1)$.

W okresie n+2 w trzecim stopniu struktury potokowej prąd wejściowy $i_{IN}(n)$ jest porównywany z prądem odniesienia $I_{REF2} = I_{FS}[a_{N-1}(n)2^{-1}+a_{N-2}(n)2^{-2}+2^{-3}]$. Jeżeli $i_{IN}(n) > I_{REF3}$, to $a_{N-2}(n) = 1$, w przeciwnym razie $a_{N-2}(n) = 0$. Równo-cześnie w pierwszym stopniu rozpoczyna się proces przetwarzania prądu $i_{IN}(n+2)$.

W kolejnych okresach proces wyznaczania coraz mniej znaczących bitów jest kontynuowany, aż do osiągnięcia zadanej rozdzielczości czyli LSB. Kolejne prądy odniesienia $I_{FS}2^{-i}$ są generowane przez kaskadę układów dzielących prąd przez 2.
3.3.1. Architektura kompensacyjnego przetwornika a/c działającego w trybie prądowym

Na rysunku 3.5 przedstawiono schemat blokowy 10-bitowego kompensacyjnego przetwornika a/c, zrealizowanego w technice pradowej [A3.12, A3.13], zaprojektowanego przez autora, wykonanego w postaci układu ASIC i przebadanego doświadczalnie [A3.13]. Wykorzystuje on w każdym stopniu komparator prądu (1-bitowy przetwornik a/c) oraz układ rekonstrukcji prądu referencyjnego (*i*-bitowy przetwornik c/a, gdzie i = 1, 2, ..., 9), który odtwarza wartość analogowa przetwarzanej próbki pradu wejściowego, zgodnie z już wyznaczonymi w poprzednich stopniach, bitami wyjściowego słowa cyfrowego. Układ przeprowadza konwersję sygnału w 10 kolejnych etapach. W danej chwili przetwarzanych jest kilka kolejnych próbek pradu wejściowego od $i_{IN}(n+10)$ do $i_{IN}(n)$. Dzięki jednoczesnemu przetwarzaniu 10 próbek uzyskuje się około 10-krotnie większą prędkość przetwarzania, w porównaniu do analogicznego przetwornika kompensacyjnego bez struktury potokowej. Każdy stopień, zbudowany jest z układu opóźniajacego sygnał pradowy o jeden okres, komparatora pradu, pradowych źródeł odniesienia, o określonych dla poszczególnego bitu wagach oraz kluczy sterowanych przez rejestr przesuwny.



Rys. 3.5. 10-bitowy potokowy przetwornik a/c działający w trybie prądowym [A3.13]

Opisany 10-bitowy przetwornik kompensacyjny, został zaprojektowany i wykonany w technologii CMOS AMS 0,8 µm w CMP (Grenoble). Eksperymentalny układ przetwornika został tak zaprojektowany, aby umożliwić pomiary poszczególnych bloków funkcjonalnych. W dalszej części rozdziału omówiono szczegółowo działanie i właściwości poszczególnych bloków. Prezentowane na rysunkach: 3.7, 3.9, 3.11, 3.13, 3.16 i 3.18 wyniki pomiarowe zostały uzyskane dla prądu wejściowego w zakresie od 0 µA do 255 µA, dla częstotliwości próbkowania 10 MHz.

3.3.2. Układ opóźniający sygnał prądowy o jeden okres przetwarzania

Uproszczony schemat układu opóźniającego sygnał prądowy o jeden okres przetwarzania, jest przedstawiony na rysunku 3.6. Zbudowany jest z dwóch kaskadowo połączonych komórek pamiętających drugiej generacji i układu wyjściowego formującego sygnał opóźniony o jeden okres. W celu zwiększenia rezystancji wyjściowej komórek pamiętających oraz stopnia wyjściowego, wy-korzystano kaskadowe zwierciadła prądowe.



Rys. 3.6. Układ opóźniający o jeden okres przetwarzania [A3.13]



Rys. 3.7. Wyniki pomiarów układu opóźniającego przy pobudzeniu sygnałem: a) liniowo narastającym; b) prostokątnym [A3.13]

Na rysunku 3.7 przedstawiono wyniki pomiarów ilustrujące działanie układu opóźniającego. Pokazano odpowiedź układu na pobudzenie prądowym sygnałem wejściowym o dwóch różnych przebiegach: trójkątnym oraz prostokątnym. Pomiary przeprowadzono dla częstotliwości sygnału kluczującego 10 kHz oraz amplitudy sygnału wejściowego 100µA.

3.3.3. Komparator prądu

Bardzo ważnym układem, decydującym o właściwościach przetwornika, jest komparator prądów, jego budowa jest przedstawiona na rysunku 3.8. W komparatorze prądów wejściowy sygnał prądowy i_{IN} jest porównywany ze znanym prądem odniesienia I_{REF} . Na wyjściu komparatora otrzymujemy napięciowe stany logiczne dla odpowiedniego bitu. Strukturę komparatora stanowi połączenie dwóch prostych inwerterów CMOS.



Rys. 3.8. Komparator prądów: a) układ odwracający fazę sygnału wejściowego; b) układ nieodwracający fazy sygnału wejściowego [A3.13]



Rys. 3.9. Wyniki pomiarów komparatora przy pobudzeniu sygnałem: a) trójkątnym, b) prostokątnym [A3.13]

Działanie układu jest następujące. Jeżeli prąd wejściowy i_{IN} jest większy od prądu referencyjnego, wtedy napięcie wejściowe inwertera rośnie, aż do osiągnięcia napięcia zasilania V_{DD} . Powoduje to spadek napięcia wyjściowego pierwszego inwertera, aż do niskiego stanu logicznego. Równocześnie napięcie wyjściowe drugiego inwertera rośnie osiągając wysoki stan logiczny. W przeciwnym przypadku, gdy prąd wejściowy i_{IN} jest mniejszy od zera, wtedy napięcie wejściowe inwertera rośnie, aż do osiągnięcia napięcia zasilania V_{SS} . Powoduje to wzrost napięcia wyjściowego pierwszego inwertera, aż do wysokiego stanu logicznego, jednocześnie wyjście drugiego inwertera spada do niskiego stanu logicznego. W ten sposób inwertery rozróżniają dodatnie i ujemne prądy wejściowe, pracując jako inwerter prądu. Wyniki pomiarów układu, dla trójkątnego i prostokątnego prądowego sygnału wejściowego, przedstawione zostały na rysunku 3.9.

3.3.4. Prądowe źródła odniesienia

Na rysunku 3.10 przedstawiono kaskadowe źródła prądowe pracujące w klasie AB służące do generowania prądowych źródeł odniesienia o wagach odpowiednich dla danego bitu ($I_{FS}/2$, $I_{FS}/4$, ..., $I_{FS}/2^N$). Maksymalny prąd wejściowy I_{FS} jest dzielony przez dwa, N razy, w celu otrzymania N kolejnych źródeł odniesienia. Układy powielania prądów referencyjnych oparte są na strukturze połączonych kaskodowo źródeł prądowych pracujących w klasie AB, przedstawionych na rysunku 3.12. Wyniki pomiarów prądowych źródeł odniesienia przedstawione zostały na rysunku 3.11, a układu powielania prądu referencyjnego na rysunku 3.13.



Rys. 3.10. Układ źródeł odniesienia [A3.13]



Rys. 3.11. Oscylogramy ilustrujące działanie generowania prądowych źródeł odniesienia; przedstawiono kolejno: prąd odniesienia oraz prąd podzielony przez współczynnik 2 [A3.13]



Rys. 3.12. Układ powielania prądu odniesienia [A3.13]



Rys. 3.13. Pomiary układu powielania prądu odniesienia; a) sygnał wejściowy; b) dwie kopie prądu wejściowego [A3.13]

3.3.5. Klucze sterowane przez rejestr przesuwny

Struktura klucza jest przedstawiona na rysunku 3.14. Klucze są sterowane z wyjść *N*-1 rejestru przesuwnego przedstawionego na rysunku. 3.15. Wyjścia *N*-1 komparatorów przetwornika są połączone do wejść rejestrów przesuwnych. Rejestry porządkują wartości bitów kodu cyfrowego $a_i(k)$, dla różnych okresów próbkowania, a następnie sterują kluczami przetwornika. Indeks *i* wartości $a_i(k)$ oznacza numer bitu, a argument *k* oznacza numer okresu próbkowania. Długość *i*-tego rejestru wynosi *N*-*i*, stąd *N*-1 bitów od $a_{N-1}(n)$ do $a_1(n)$ próbki sygnału wejściowego $i_{IN}(n)$ jest dostępnych na najstarszych wyjściach *N*-1 rejestrów przesuwnych. Bit LSB $a_0(n)$ jest dostępny na wyjściu najstarszego komparatora przetwornika potokowego (*N*-tego stopnia).



Rys. 3.14. Klucz komplementarny przełączający prądy referencyjne [A3.13]

Struktura jednego z rejestrów (4-bitowego) przedstawiona została na rysunku 3.15, natomiast pomierzona charakterystyka wyjściowa na rysunku 3.16.



Rys. 3.15. Czterobitowy rejestr przesuwny porządkujący odpowiednie bity wyjściowego słowa cyfrowego przetwornika [A3.12]



Rys. 3.16. Oscylogramy ilustrujące działanie rejestrów przesuwnych sterujących kluczami struktury potokowej; przedstawiono kolejno: przebieg zegarowy oraz kolejne wyjścia 4-bitowego rejestru przesuwnego [A3.12]

3.3.6. Realizacja układowa kompensacyjnego przetwornika a/c działającego w trybie prądowym

Na rysunku 3.17 przedstawiono uproszczony schemat potokowego przetwornika a/c, o rozdzielczości 10 bitów [A3.12]. Układ jest zbudowany z dziesięciu analogicznych stopni połączonych w strukturę potokową. Ma on rozbudowaną część cyfrową sterującą kluczami przełączającymi strukturę potokową.



Rys. 3.17. Schemat 10-bitowego kompensacyjnego przetwornika a/c [A3.12]

Przykładowe wyniki pomiarów ilustrujące działanie przetwornika przedstawiono na rysunku 3.18.



Rys. 3.18. Oscylogramy ilustrujące działanie przetwornika kompensacyjnego dla dwóch sygnałów wejściowych: a) sygnał sinusoidalny; b) sygnał opadający liniowo; przedstawiono kolejno: sygnał wejściowy oraz wyjścia cyfrowe dla czterech najstarszych bitów [A3.12]

3.4. Wnioski

W rozdziale omówiono konstrukcję oraz działanie algorytmicznego i kompensacyjnego przetwornika a/c. Oba te przetworniki cechują się dużą rozdzielczością, ale też dzięki zastosowaniu struktury potokowej mogą gwarantować wysoką prędkość przetwarzania. Zaletą tych układów jest zastosowanie wysokich częstotliwości próbkowania, zbliżonych do częstotliwością Nyquista, co umożliwia przetwarzanie szybkozmiennych analogowych sygnałów wejściowych.

Opisany potokowy kompensacyjny przetwornik a/c pracujący w trybie prądowym był przedmiotem badań autora zrealizowanych w ramach projektu MNiSW nr 7 T11B 068 21, pt.: "Szybkie przetworniki A/C pracujące w trybie prądowym". Autorskie rozwiązanie struktury przetwornika zostało zaprojektowane, przebadane symulacyjnie, a następnie wykonane w postaci eksperymentalnego układu ASIC w technologii CMOS AMS 0,8µm w CMP (Grenoble). Zamieszczone w rozdziale wyniki pomiarowe potwierdziły wcześniejsze założenia projektowe. Dzięki zastosowaniu trybu prądowego, układ charakteryzuje się małym poborem mocy i niewielką powierzchnią zajmowaną w układzie scalonym. Otrzymane rezultaty potwierdziły przydatność tego rozwiązania do budowy przetwornika a/c przeznaczonego do wykonania w ramach jednej technologii i na jednym podłożu z układami cyfrowymi CMOS [A3.12, A3.13].

3.5. Literatura

Publikacje z udziałem autora

- [A3.1] K. Wawryn, R. Suszyński, Low power 9-bit pipelined A/D and 8-bit selfcalibrated D/A converters for a DSP system, Bulletin of the Polish Academy of Sciences-Technical Sciences, Vol. 61(4), 2013.
- [A3.2] K. Wawryn, R. Suszyński, B. Strzeszewski, A Low Power Digitally Error Corrected 2.5 Bit Per Stage Pipelined A/D Converter Using Current-Mode Signals, Journal of Circuits, Systems, and Computers, World Scientific Publishing Company, Vol. 20, No. 1, 2011, s. 29-43.
- [A3.3] K. Wawryn, R. Suszyński, B. Strzeszewski, Low Power Low Voltage Current Mode Pipelined A/D Converters, Proceedings of International Conference on Computer, Electrical, and Systems Science, and Engineering, Tokyo, Japan, 2010, s. 5.
- [A3.4] K. Wawryn, R. Suszyński, B. Strzeszewski, Low Power Current Mode Pipelined A/D Converter, Proceedings of 52nd IEEE International Midwest Symposium on Circuits and Systems, Cancun Mexico 2009, s. 4.
- [A3.5] K. Wawryn, R. Suszyński, B. Strzeszewski, Low Power Current Mode 8 1.5bit stages Pipelined A/D Converter, Proceedings of International Conference Mixed Design of Integrated Circuits and Systems, Łódź, 2009 4 s.
- [A3.6] K. Wawryn, R. Suszyński, B. Strzeszewski, Low Power Current Mode Pipelined A/D Converter with 2.5-bit/stage and Digital Correction, Proceedings of 12th International Symposium on Integrated Circuits, Singapore 2009, 4 s.
- [A3.7] K. Wawryn, R. Suszyński, B. Strzeszewski, Current Mode Pipelined A/D Converter, Proceedings of IEEE Design & Technology of Integrated Systems, Tozeur Tunisia 2008, s. 4.
- [A3.8] K. Wawryn, R. Suszyński, B. Strzeszewski, Current mode pipelined a/d converter, 12th IEEE International Conference on Electronics, Circuits and Systems ICECS'2005, 2005, s. 1-4.
- [A3.9] K. Wawryn, R. Suszyński, B. Strzeszewski, Prototype Current Mode Pipelined A/D Converter, Proceedings of 13th International Conference Mixed Design of Integrated Circuits and Systems, 2005.
- [A3.10] R. Suszyński, K. Wawryn, Rapid prototyping of algorithmic A/D converters based on FPAA devices, Bulletin of the Polish Academy of Sciences-Technical Sciences, Vol. 61, Issue 3, 2013.
- [A3.11] K. Wawryn, R. Suszyński, A low power low voltage current-mode A/D and D/A converters for DSP system, 2011 IEEE 54th International Midwest Symposium on Circuits and Systems (MWSCAS), 2011, s. 4.
- [A3.12] K. Wawryn, R. Suszyński, B. Strzeszewski, Current Mode Building Blocks for Pipelined A/D Converter, In proc. MIXDES 2004, Szczecin 2004, s. 353-356.
- [A3.13] K. Wawryn, R. Suszyński, B. Strzeszewski, High Speed A/D Converter, In proc. MIXDES 2003, Łódź, 2003, s. 228-231.

Pozostałe prace

- [3.1] R. van de Plassche, Scalone Przetworniki Analogowo-Cyfrowe i Cyfrowoanalogowe, Wydawnictwa Komunikacji i Łączności, Warszawa 1997.
- [3.2] F. Maloberti, *Przetworniki danych*, Wydawnictwa Komunikacji i Łączności, 2010.
- [3.3] R. van de Plassche, *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*, Kluwer Academic Publishers, 2003.
- [3.4] W. Kester , *Przetworniki A/C i C/A. Teoria i praktyka*, Wydawnictwo BTC, 2012.
- [3.5] Chi-Chang Lu, A 1.2 V 10-bit 5MS/s low power CMOS cyclic ADC based on double-sampling technique, Analog Integrated Circuits and Signal Processing, Vol. 81(1), 2014, s. 137-143.
- [3.6] Jong-Kwan Woo, Taehoon Kim, Suhwan Kim, A comparator-based cyclic analog-to-digital converter with multi-level input tracking boosted preset voltage, Analog Integrated Circuits and Signal Processing, Vol. 81(3), 2014, s. 729-739.
- [3.7] Seongjoo Lee, Minkyu Song, A 9-bit 2 MS/s 1 mW CMOS cyclic folding A/D converter for battery management system, Analog Integrated Circuits and Signal Processing, Vol. 76(1), 2013, s. 15-21.
- [3.8] D.G. Nairn, C.A.T. Salama, A ratio independent algorithms analog-to-digital converter combining dynamic techniques, IEEE Trans. Circuits and Systems, Vol. CAS-37, 1990, s. 319-325.
- [3.9] K.L. Fong, C.A.T. Salama, Low-power current-mode algorithmic ADC, Proc. IEEE Int. Symp. Circuits and Systems, Vol. 5, 1994, s. 473-476.
- [3.10] A, Arian, M. Saberi, S. Hosseini-Khayat, R. Lotfi, Y. Leblebici, A 10-bit 50-MS/s redundant SAR ADC with split capacitive-array DAC, Analog Integrated Circuits and Signal Processing, Vol. 71(3), 2012, s. 583-589.
- [3.11] T. Tong, P.K. Hanumolu, G.C. Temes, *A semi-synchronous SAR ADC*, Analog Integrated Circuits and Signal Processing, Vol. 71(3), 2012, s. 407-410.
- [3.12] Xing Yuan Tong, Zhang Ming Zhu, Yin Tang Yang, Analysis and modeling of an improved dual-array D/A network for SAR A/D converter, Analog Integrated Circuits and Signal Processing, Vol. 70(3), 2012, s. 417-420.
- [3.13] B. Sedighi, *Design of low-power SAR ADCs using hybrid DACs*, Analog Integrated Circuits and Signal Processing, Vol. 77(3), 2013, s. 459-469.
- [3.14] B. Nejati, O. Shoaei, A 10-bit, 2.5-V, 40Msamples/s, pipelined analog-to-digital converter in 0.6-µm CMOS, in Proc. Int. Symp. On Circuits and Systems, Vol. 1, 2001, s. 576-580.
- [3.15] S. Mortezapour, E. K. F. Lee, A Reconfigurable Pipelined Data Converter, in Proc. Of The IEEE International Symposium on Circuits and Systems, ISCAS'01, Vol. 4, Sydney, Australia 2001, s. 314-317.
- [3.16] B. Nejati, O. Shoaei, A 10-Bit, 2.5-V, 40MSample/S, pipelined Analog-to-Digital Converter In 0.6-μm CMOS, in Proc. of The IEEE International Symposium on Circuits and Systems, ISCAS'01, Vol. 1, Sydney, Australia, 2001, s. 576-579.
- [3.17] J. Schreiter, A. Graupner, R. Srowik, S. Getzlaff, R. Schuffny, A Multi-Input Pipelined A/D Converter For Special Signal Processing Applications, in Proc. 8th Int. Conf. Mixed Design of Integrated Circuits and Systems, Zakopane 2001.

- [3.18] D. Nairn, Algorithmic and pipelined a/d converters, w: C. Toumazou, J.B. Hughes, N.C. Battersby: Switched-currents an analogue technique for digital technology, Peter Peregrinus Ltd., London, 1993.
- [3.19] T. Tuikkanen, A. Kivi, T. Rahkonen, A Double Sampling 8-Bit, 50 MS/s, 32 mW Pipeline Converter with +6 dB Overdrive Headroom, Analog Integrated Circuits and Signal Processing, Vol. 30(1), 2002, s. 7-14.
- [3.20] M.H. Zarifi, J. Frounchi, S. Farshchi, J.W. Judy, A novel time-based low-power pipeline analog to digital converter, Analog Integrated Circuits and Signal Processing, Vol. 62(3), 2010, s. 281-289.
- [3.21] M. Figueiredo, J. Goes, G. Evans, General Overview of Pipeline Analog-to-Digital Converters, Reference-Free CMOS Pipeline Analog-to-Digital Converters, Analog Circuits and Signal Processing, 2013, s. 5-45.
- [3.22] Y. Sugimoto, S. Tokito, H. Kakitani, E. Seta, A current-mode bit-block circuit applicable to low-voltage, low-power pipeline video-speed A/D converters, Analog Integrated Circuits and Signal Processing, Vol. 11(2), 1996, s. 149-161.
- [3.23] A. Moscovici, *High Speed A/D Converters, Chapter: Serial Pipeline A/D with* 1.5-bit/stage, The International Series in Engineering and Computer Science Vol. 601, 2002, s. 171-192.
- [3.24] D. Miyazaki, S. Kawahito, Low-Power Area-Efficient Pipelined A/D Converter Design Using a Single-Ended Amplifier, Analog Integrated Circuits and Signal Processing, Vol. 25(3), 2000, s. 235-244.

4. Przetworniki a/c pracujące z nadpróbkowaniem w trybie prądowym

4.1. Wprowadzenie

Przetworniki z nadpróbkowaniem wykorzystują zasadniczo inne podejście do konwersji a/c niż przetworniki pracujące z częstotliwością Nyquista. Wykorzystywane jest ujemne sprzężenie zwrotne, a próbkowanie z częstotliwością wielokrotnie większą niż częstotliwość Nyquista pozwala na zamianę szybkości działania przetwornika na rozdzielczość (lub zakres dynamiki). Przetworniki a/c dokonują konwersji sygnału analogowego, który jest ciągły w czasie i amplitudzie, w sygnał cyfrowy, który z kolei jest dyskretny w czasie i amplitudzie oraz jest zapisany zgodnie z odpowiednim kodem cyfrowym.

Jedną z powszechnie stosowanych metod wykorzystujących nadpróbkowanie, w konstrukcji przetworników a/c o dużej rozdzielczości i średniej prędkości przetwarzania, jest modulacja Sigma-Delta ($\Sigma\Delta$) [A4.1, 4.1–4.6]. W ostatnich latach przetworniki a/c wykorzystujące modulatory $\Sigma\Delta$ [A4.2, A4.3, 4.7–4.14] cieszą się dużą popularnością wśród projektantów układów scalonych, ponieważ przy dużej rozdzielczości oferują też wysoką dokładność konwersji, wykazując jednocześnie dużą tolerancję na rozrzut i dokładność elementów wchodzących w skład przetwornika. Na rysunku 4.1 pokazano schemat blokowy przetwornika realizującego kolejne etapy konwersji sygnału analogowego w sygnał cyfrowy: filtrację antyaliasingową, próbkowanie w czasie, kwantyzację i kodowanie.



Rys. 4.1. Schemat blokowy przetwornika a/c z modulatorem $\Sigma\Delta$

Pierwszym etapem przetwarzania jest filtracja dolnoprzepustowa za pomocą filtru antyaliasingowego, który tłumi górne częstotliwości, powyżej pasma sy-

gnału wejściowego. W ten sposób eliminowane są szumy i niepożądane wyższe harmoniczne sygnału użytecznego. Zabieg ten zapobiega dodaniu się niepożądanych sygnałów zakłócajacych podczas próbkowania. Kolejny etap – próbkowanie przekształca wejściowy sygnał analogowy w sygnał dyskretny w czasie. Sygnał x(t) jest próbkowany z częstotliwością f_s , w wyniku otrzymujemy ciąg próbek x(kT), dla których okres próbkowania wynosi $T = 1/f_{s_1}$ a k jest liczbą całkowita. Na tym etapie przetwarzany sygnał nadal jest ciągły w amplitudzie. Kolejnym etapem jest kwantyzacja, podczas której każda próbka sygnału, o analogowej amplitudzie, jest przetwarzana w sygnał o dyskretnej amplitudzie, o skończonej liczbie poziomów kwantyzacji. W wyniku tych etapów przetwarzania otrzymujemy sygnał dyskretny w czasie i amplitudzie. Ostatnim etapem jest kodowanie za pomoca decymatora, który zamienia wynikowy strumień cyfrowy w słowa cyfrowe na wyjściu przetwornika a/c. Próbkowanie i kwantyzacja są realizowane przez modulator $\Sigma\Delta$ przetwarzający wejściowy sygnał analogowy (ciągły w amplitudzie i w czasie) w ciąg bitów (dyskretny w amplitudzie i czasie), w którym informacja o wartości sygnału wejściowego jest zakodowana modulacja gestości impulsów. Dzieki zastosowaniu ujemnego sprzeżenia zwrotnego modulator $\Sigma\Delta$ śledzi wartość sygnału wejściowego, przybliżając jego wartość. Na wejściu modulatora przybliżona wartość sygnału jest odejmowana od sygnału wejściowego, a różnica jest podawana na wejście integratora. Różnica ta jest całkowana i kompensowana poprzez ujemne sprzężenie zwrotne. Dzięki takiemu działaniu pętli głównej i ujemnego sprzężenia zwrotnego, uśredniona wartość sygnału cyfrowego na wyjściu modulatora, odpowiada uśrednionej wartości sygnału analogowego na jego wejściu. Etapy konwersji ciągłego sygnału analogowego na dyskretny cyfrowy są zilustrowane na rysunku 4.2.



Rys. 4.2. Konwersja sygnału przetwornika a/c z modulatorem $\Sigma\Delta$

Topologia modulatorów $\Sigma\Delta$ zawiera szereg połączonych integratorów, objętych pętlą sprzężenia zwrotnego. Ilość integratorów określa rząd modulatora. Struktura modulatora może być utworzona na wiele sposobów. Na rysunku 4.3 przedstawiono ogólny schemat modulatora *m*-tego rzędu, z ujemnym sprzężeniem zwrotnym. Dobierając odpowiednio współczynniki wzmocnień A_i , B_i , G_i oraz C_1 można uzyskać dowolną strukturę jednostopniowego modulatora

m-tego rzędu. W większości aplikacji współczynnik B_1 wynosi 1, a współczynniki $B_2,..., B_{m+1}$ są równe zero, co pozwala optymalizować stosunek sygnału do szumu SNR. Współczynniki $A_1,..., A_m$ są współczynnikami pętli ujemnego sprzężenia zwrotnego, dlatego determinują transmitancję modulatora dla szumu kwantyzacji oraz decydują o stabilności układu. Współczynnik C_1 może być wprowadzony dodatkowo, w celu kształtowania funkcji przenoszenia sygnału wejściowego w paśmie modulatora, co pozwala na zwiększenie jego zakresu dynamicznego.





Rys. 4.3. Ogólny schemat blokowy modulatora $\Sigma\Delta$ *m*-tego rzędu z ujemnym sprzężeniem zwrotnym

4.2. Przetwornik a/c z modulatorem Sigma-Delta pierwszego rzędu

Schemat blokowy modulatora $\Sigma\Delta$ pierwszego rzędu jest przedstawiony na rysunku 4.4a. Modulator zbudowany jest z: sumatora, układu całkującego, komparatora i jednobitowego przetwornika c/a. Sygnał wyjściowy modulatora z wyjścia komparatora jest podawany jako sygnał ujemnego sprzężenia zwrotnego ponownie na wejście modulatora i jest odejmowany od sygnału wejściowego. Różnica tych sygnałów jest całkowana i poddawana procesowi kwantyzacji w komparatorze. W takiej konfiguracji modulatora, sprzężenie zwrotne powoduje, iż układ wymusza dażenie do zera akumulowanego sygnału na wyjściu integratora. Dla dodatniego wyjścia integratora, komparator daje na wyjściu stan wysoki "1", który jest zamieniany na sygnał analogowy w przetworniku c/a i odejmowany na wejściu integratora. Powoduje to zmniejszenie sygnału na wejściu integratora, przez co redukowana jest akumulowana wartość na jego wyjściu. Z drugiej strony jeżeli na wyjściu integratora jest wartość ujemna, wtedy komparator daje na wyjściu stan niski "0", który po zamianie na sygnał analogowy jest tym razem dodawany na wejściu integratora. Skutkuje to zwiększeniem sygnału na wejściu integratora, przez co zwiększana jest akumulowana wartość na jego wyjściu. Układ modulatora $\Sigma\Delta$, z ujemną pętlą sprzeżenia zwrotnego, działa w ten sposób, aby różnica sygnału wejściowego i skwantowanego sygnału wyjściowego dążyła do zera. Ujmując to inaczej uśredniona wartość skwantowanego wyjścia modulatora podąża za wartością sygnału wejściowego.



Rys. 4.4. a) schemat blokowy przetwornika a/c z modulatorem $\Sigma\Delta$; b) zlinearyzowany model przetwornika [A4.2]

W przetwornikach a/c z modulatorami $\Sigma\Delta$ wykorzystuje się właściwości modulatora do kształtowania szumu. Modulator realizuje konwersję sygnału analogowego na cyfrowy oraz usuwa szum kwantyzacji z pasma sygnału.

Na rysunku 4.4b przedstawiono zlinearyzowany model przetwornika a/c z modulatorem $\Sigma\Delta$. W miejsce nieliniowego elementu – komparatora, umieszczono sumator, który wprowadza do gałęzi głównej sygnał błędu kwantyzacji *e* niezależny od sygnału wejściowego *x*. Przy założeniu, że sygnał cyfrowy na wyjściu komparatora odpowiada dokładnie wartości sygnału na jego wejściu, sygnał wyjściowy *y* może być wyrażony w dziedzinie *z* jako [A4.2]:

$$Y(z) = \frac{H(z)}{1+H(z)} \cdot X(z) + \frac{1}{1+H(z)} \cdot E(z)$$
(4.1)

Grupując równanie (4.1) na dwa składniki możemy zapisać:

$$Y(z) = STF(z) \cdot X(z) + NTF(z) \cdot E(z)$$
(4.2)

gdzie STF(z) jest transmitancją modulatora dla sygnału, a NTF(z) jest transmitancją dla szumu kwantyzacji. Jeżeli H(z) >> 1, dla każdej częstotliwości z, to równanie (4.1) upraszcza się do postaci:

$$Y(z) \approx X(z) \tag{4.3}$$

Rozważając działanie modulatora $\Sigma\Delta$ pierwszego rzędu, wykorzystującego jednobitowy kwantyzator oraz prosty integrator, dla którego transmitancja w gałęzi głównej wynosi:

$$H(z) = \frac{z^{-1}}{1 - z^{-1}} \tag{4.4}$$

to wówczas sygnał wyjściowy:

$$Y(z) = z^{-1} \cdot X(z) + (1 - z^{-1}) \cdot E(z)$$
(4.5)

stąd

$$STF = \frac{Y(z)}{X(z)} = \frac{H(z)}{1+H(z)} = z^{-1}$$
(4.6)

$$NTF = \frac{Y(z)}{E(z)} = \frac{1}{1+H(z)} = (1-z^{-1})$$
(4.7)

Ze wzoru (4.5) wynika, iż składnik związany z rzeczywistym sygnałem wejściowym X(z) jest obecny w sygnale wyjściowym jedynie po opóźnieniu o jeden cykl przetwarzania, podczas gdy sygnał szumu błędu kwantyzacji E(z) jest przesuwany poza częstotliwości pasma sygnału, przez górnoprzepustowy filtr pierwszego rzędu. Na rysunkach 4.5 przedstawiono moc widmową obliczoną teoretycznie dla transmitancji STF i NTF określonych wzorami (4.6) oraz (4.7). Dla funkcji transmitancji sygnałowej STF(z) amplituda jest stała w całym paśmie sygnału wejściowego, czyli w zakresie częstotliwości od 0 do $\frac{fs}{2}$. W tym samym paśmie, amplituda funkcji transmitancji szumu kwantyzacji NTF(z) wynosi zero dla częstotliwości początkowej (czyli dla składowej stałej) i rośnie wraz ze wzrostem częstotliwości. Charakterystyka dla sygnału szumu kwantyzacji ilustruje zjawisko kształtowania szumów wykorzystywane w modulatorach $\Sigma\Delta$.



Rys. 4.5. Transmitancja przetwornika a/c z modulatorem ΣΔ pierwszego rzędu; a) dla sygnału wejściowego; b) dla sygnału szumu kwantyzacji

Zwykle przyjmuje się, iż szum kwantyzacji jest szumem białym, nieskorelowanym z sygnałem wejściowym. Pierwsze założenie jest zazwyczaj spełnione, drugie niestety nie, a dodatkowo, analityczne wyrażenie zależności pomiędzy szumem kwantyzacji i sygnałem wejściowym jest bardzo skomplikowane [A4.2]. Mimo to przyjmuje się również brak tej drugiej korelacji, ponieważ założenie to prowadzi do znacznego uproszczenia obliczeń parametrów modulatora $\Sigma \Delta$, które nie są obarczone poważnym błędem.

Szum kwantyzacji jest redukowany tylko w wąskim paśmie, o częstotliwości dużo mniejszej niż częstotliwość próbkowania f_s . Dla przetworników o dużej rozdzielczości musimy stosować wysokie częstotliwości próbkowania, spełniające warunek:

$$f_s \gg f_N \tag{4.8}$$

gdzie f_N oznacza częstotliwość Nyquista, równą podwojonej górnej częstotliwości pasma sygnału wejściowego. Dlatego przetworniki a/c z modulacją $\Sigma\Delta$, są nazywane przetwornikami z nadpróbkowaniem, a współczynnik nadpróbkowania (OSR – *Over Sampling Ratio*) jest określony jako:

$$OSR = \frac{f_s}{f_N} \tag{4.9}$$

4.3. Przetworniki a/c z modulatorami Sigma-Delta wyższych rzędów

W celu osiągnięcia lepszego kształtowania szumu stosuje się różne architektury modulatorów $\Sigma \Delta$ wyższych rzędów: modulatory z ujemnym sprzężeniem zwrotnym wyższego rzędu, ze sprzężeniem wyprzedzającym (*Feed-Forward*), wielostopniowe lub modulatory z wielobitowym kwantyzatorem.



Rys. 4.6. Schemat blokowy modulatora $\Sigma\Delta$ trzeciego rzędu [A4.2]



Rys. 4.7. Schemat blokowy modulatora $\Sigma\Delta$ trzeciego rzędu ze sprzężeniem wyprzedzającym [A4.2]

Modulatory wyższych rzędów przekazują sygnał z wyjścia kilkukrotnie i wykorzystują kilka integratorów w gałęzi głównej. Przykładowe schematy blokowe modulatorów: trzeciego rzędu z ujemnym sprzężeniem zwrotnym, trzeciego rzędu ze sprzężeniem wyprzedzającym oraz dwustopniowego trzeciego rzędu z ujemnym sprzężeniem zwrotnym, przedstawiono na rysunkach 4.6–4.8.



Rys. 4.8. Schemat blokowy dwustopniowego modulatora $\Sigma\Delta$ trzeciego rzędu [4.3]

Rysunek 4.9 pokazuje zlinearyzowany model modulatora $\Sigma\Delta$ trzeciego rzędu. Dla tego układu transmitancja dla sygnału wejściowego (STF – *Signal Transfer Function*) wynosi:

$$STF = \frac{Y(z)}{X(z)} = \frac{H(z)}{1+H(z)} = z^{-3}$$
(4.10)

czyli stanowi trzykrotne opóźnienie, natomiast transmitancja dla szumu (NTF – *Noise Transfer Function*):

$$NTF = \frac{Y(z)}{E(z)} = \frac{1}{1 + H(z)} = (1 - z^{-1})^3$$
(4.11)

Ze wzorów (4.3) i (4.4) wynika, iż dla układu idealnego sygnał wyjściowy wynosi:

$$Y(z) = X(z)z^{-3} + E(z)(1 - z^{-1})^{3}$$
(4.12)
 $z^{-1} \rightarrow (+) \rightarrow (-1)^{-1} \rightarrow (+) \rightarrow (+)$

Rys. 4.9. Linearyzowany model modulatora $\Sigma\Delta$ trzeciego rzędu [A4.2]

Analizując wzór (4.12), należy zauważyć, iż składnik związany z rzeczywistym sygnałem wejściowym X(z) jest obecny w sygnale wyjściowym jedynie po

opóźnieniu o trzy cykle przetwarzania, podczas gdy sygnał szumu błędu kwantyzacji E(z) jest przesuwany poza częstotliwości pasma sygnału, przez górnoprzepustowy filtr trzeciego rzędu.

Alternatywą do standardowej struktury modulatora $\Sigma\Delta$ jest modulator ze sprzężeniem wyprzedzającym. Na rysunku 4.7 przedstawiony jest struktura modulatora ze sprzężeniem mieszanym, trzy górne pętle ze sprzężeniem wyprzedzającym i dolna z ujemnym sprzężeniem zwrotnym. Taki rodzaj sprzężenia stosowany jest w celu zwiększenia stabilności przetwornika, jakkolwiek właściwości kształtowania pasma dla sygnału szumu kwantyzacji są redukowane.



Rys. 4.10. Linearyzowany model modulatora $\Sigma\Delta$ trzeciego rzędu ze sprzężeniem wyprzedzającym [A4.2]

Na rysunku 4.10 pokazano zlinearyzowany model modulatora trzeciego rzędu ze sprzężenie wyprzedzającym. Z analizy modelu wynika, iż przy założeniu idealnego przetwornika c/a, modulator ma dla sygnału wejściowego następująca transmitancję:

$$STF = \frac{Y(z)}{X(z)} = \frac{H(z)}{1+H(z)} = 1$$
 (4.13)

natomiast transmitancja dla sygnału szumu:

$$NTF = \frac{Y(z)}{E(z)} = \frac{1}{1 + H(z)} = (1 - z^{-1})^3$$
(4.14)

sygnał wyjściowy dla układu idealnego można wyrazić jako:

$$Y(z) = X(z) + E(z)(1 - z^{-1})^3$$
(4.15)

Wynika z tego, iż dla modulatora $\Sigma \Delta z$ wyprzedzającym sprzężeniem zwrotnym, transmitancja H(z) pętli ujemnego sprzężenia zwrotnego przetwarza wyłącznie szum kwantyzacji, podczas gdy bez pętli sprzężenia zwrotnego, szum kwantyzacji dodawany jest do sygnału wejściowego. Dla takiej konfiguracji modulatora, zniekształcenia są niezależne od sygnału wejściowego, co umożliwia zapewnienie liniowości układu. Niestety, wejściowa gałąź ze sprzężeniem wyprzedzającym niesie szereg komplikacji, głównie wydłuża czas przetwarzania oraz powoduje znaczną rozbudowę struktury modulatora.

W modulatorze $\Sigma\Delta$ bez wejściowej gałęzi ze sprzężeniem wyprzedzającym, sygnał wejściowy oraz szum kwantyzacji są przetwarzane przez filtr w gałęzi głównej i podawane na wejście kwantyzatora. Natomiast, w przetworniku z wejściową gałęzią sprzężenia wyprzedzającego, realizowana jest dodatkowa ścieżka dla sygnału wejściowego. W takim przypadku przetwarzany szum kwantyzacji i sygnał wejściowy są dodawane bezpośrednio na wejściu kwantyzatora. Jednakże, wejście kwantyzatora jest podobne dla obu przypadków. Ponadto, filtr w pętli głównej jest dokładnie taki sam dla obu przypadków i z tego powodu nie wpływa znacząco na zniekształcenia i parametry szumowe modulatora. Sumator na wejściu kwantyzatora wprowadza dodatkowe źródło szumu do pętli głównej. Jednakże, szum ten jest mocno tłumiony, gdy dodawany jest ponownie do sygnału wejściowego i dlatego jego wpływ jest mało znaczący.



Rys. 4.11. Linearyzowany model dwustopniowego modulatora $\Sigma\Delta$ trzeciego rzędu [A4.3]

Inna strategia budowy modulatorów wyższych rzędów jest wykorzystywana w wielostopniowych (MASH – *Multi-stAge noise-SHaping*) strukturach przetworników a/c z modulatorami $\Sigma\Delta$, które usuwają szum kwantyzacji z przetwarzanego sygnału. Struktura wielostopniowa poprawia stabilność układów, która jest zwykle problemem w modulatorach wyższych rzędów [A4.3].

Wykorzystując liniową aproksymację modulatora, przedstawioną na rysunku 4.11, dla której proces kwantyzacji jest modelowany przez dodatkowe dwa, niezależne od sygnału wejściowego, źródła sygnału błędu e_1 i e_2 , a układy całkujące są reprezentowane przez ich transmitancje w dziedzinie z. Źródła $E_1(z)$ oraz $E_2(z)$ przedstawiają błąd kwantyzacji odpowiednio pierwszego i drugiego stopnia przetwornika a/c. Źródło $E_2(z)$ zawiera również reprezentację nieliniowości w drugim stopniu przetwornika. $E_D(z)$ przedstawia błąd będący wynikiem nieliniowości w wielobitowym przetworniku c/a w drugim stopniu. Odpowiadające mu źródło błędu nie pojawia się w pierwszym stopniu, dzięki wewnętrznej liniowości 1-bitowego przetwornika c/a. Transmitancja pierwszego stopnia, w dziedzinie *z*, wynosi:

$$Y_1 = z^{-1}X(z) + (1 - z^{-1})^2 E_1(z)$$
(4.16)

czyli, wyjście pierwszego stopnia zawiera sygnał wejściowy modulatora opóźniony o jeden okres przetwarzania, plus różnicę drugiego rzędu błędu kwantyzacji $E_1(z)$ pierwszego stopnia. Sygnałem wejściowym drugiego stopnia jest błąd kwantyzacji pierwszego stopnia $E_1(z)$, a transmitancja drugiego stopnia, w dziedzinie *z*, wynosi:

$$Y_2 = z^{-1}(E_1(z) - E_D(z)) + (1 - z^{-1})E_2(z)$$
(4.17)

na wyjściu przetwornika stosuje się układ logiczny korekcji błędu, który dokonuje kombinacji sygnałów cyfrowych z obydwu stopni, zgodnie ze wzorem:

$$Y(z) = H_1(z)Y_1(z) + H_2(z)Y_2(z)$$
(4.18)

w celu wyeliminowania błędu kwantyzacji wprowadzanego przez pierwszy stopień, cyfrowy układ korekcji błędu na wyjściu przetwornika, dobiera się odpowiednie transmitancje:

$$H_1(z) = z^{-1} \tag{4.19}$$

$$H_2(z) = -(1 - z^{-1})^2 (4.20)$$

Dla określenia sygnału na wyjściu całego modulatora, należy podstawić wzory (4.16), (4.17), (4.19) and (4.20) do wzoru (4.18), w wyniku otrzymujemy:

$$Y(z) = z^{-2}X(z) + z^{-1}(1 - z^{-1})^2 E_D(z) - (1 - z^{-1})^3 E_2(z)$$
(4.21)

Otrzymana funkcja transmitancji odpowiada standardowemu przetwornikowi a/c z modulatorem $\Sigma \Delta$ trzeciego rzędu, ale struktura wielostopniowa jest stabilna. W tym przetworniku wyjście cyfrowe jest wielobitowe, inaczej jak dla standardowego przetwornika trzeciego rzędu, gdzie wyjście jest jednobitowe. Modulator wielostopniowy wymaga określenia parametrów kształtowania szumu kwantyzacji, oddzielnie dla każdego stopnia, co nieco komplikuje proces projektowania. Pierwszy stopień dokonuje kształtowania szumu kwantyzacji jak modulator drugiego rzędu. Natomiast cały modulator kształtuje szum wprowadzany w drugim stopniu jak modulator trzeciego rzędu. Dzięki temu, drugi stopień całkowicie usuwa szum kwantyzacji wprowadzany przez pierwszy stopień [A4.3].

4.4. Rozdzielczość przetwornika a/c z modulatorami Sigma-Delta

Modulatory $\Sigma\Delta$ wykorzystują nadpróbkowanie i kształtowanie szumu kwantyzacji. Na rysunku 4.12 przedstawiono teoretyczną gęstość widmową mocy szumu kwantyzacji dla modulatora $\Sigma\Delta$ pierwszego rzędu. Linia koloru czerwonego wyznacza górnoprzepustową charakterystykę modulatora dla szumu kwantyzacji.



Rys. 4.12. Teoretyczne widmo gęstości mocy szumu kwantyzacji dla modulatora $\Sigma\Delta$ pierwszego rzędu

Na rysunku zaznaczono kolorem żółtym obszar związany z szumem kwantyzacji dla idealnego przetwornika pracującego z częstotliwością Nyquista, a kolorem niebieskim dla przetwornika z nadpróbkowaniem. Jak widać poziom szumu w paśmie sygnału, nie jest akceptowalny dla przetwornika próbkującego z częstotliwością Nyquista. Inaczej jest w przypadku przetwornika z nadpróbkowaniem. Szum kwantyzacji jest rozproszony w większym paśmie i może być skuteczniej tłumiony przez cyfrowy filtr dolnoprzepustowy na wyjściu modulatora. Modulatory $\Sigma\Delta$ wyższych rzędów poprawiają charakterystykę kształtowania szumów, przesuwając je w kierunku wyższych częstotliwości, poza pasmo sygnału użytecznego. W układach z modulatorami $\Sigma\Delta$ nie jest możliwe proste określenie rozdzielczości przetwornika a/c, ponieważ na wyjściu modulatora otrzymujemy ciąg bitów cyfrowych zawierających informację o sygnale wejściowym, ale niestety też składową związaną ze zniekształceniami nieliniowymi i szumem kwantyzacji. Odpowiednie kształtowanie charakterystyki częstotliwościowej szumu kwantyzacji oraz filtracja dolnoprzepustowa na wyjściu modulatora, umożliwiają odseparowanie sygnału pożądanego i szumu, co pozwala na uzyskanie słowa cyfrowego o określonej rozdzielczości. Wynika z tego, iż rozdzielczość przetwornika z modulatorem ΣΔ jest uwarunkowana stosunkiem sygnału do szumu, dlatego zwykle do jej wyznaczenia wykorzystuje się użyteczny zakres sygnału (zakres dynamiczny DR – *Dynamic Range*). Współczynnik DR jest zdefiniowany jako iloraz kwadratu sinusoidalnego sygnału o maksymalnej amplitudzie (x_{FS}) przez kwadrat amplitudy sygnału sinusoidalnego, dla którego SNR = 0 dB (n_b). Współczynnik DR idealnego modulatora ΣΔ pierwszego rzędu może być wyliczony zgodnie ze wzorem:

$$DR = \frac{\frac{x_{FS}^2}{8}}{n_b^2} = \frac{9}{2\pi^2} \cdot OSR^3$$
(4.22)

gdzie:

 x_{FS} jest sinusoidalnym sygnałem wejściowym o maksymalnej amplitudzie,

 n_b^2 określa moc szumu kwantyzacji w paśmie sygnału.

Jak wynika z wzoru (4.22), rozdzielczość idealnego modulatora $\Sigma\Delta$ pierwszego rzędu rośnie 9 dB (1,5 bita) na każde podwojenie współczynnika OSR. Jednakże, modulator pierwszego rzędu nie zapewnia dostatecznego tłumienia szumu do osiągnięcia dużej rozdzielczości, dla akceptowalnych wartości współczynnika OSR.

Planując zastosowanie przetwornika a/c z modulatorem pierwszego rzędu, możemy rozważyć sytuację wykorzystania takiego przetwornika w wysokiej jakości współczesnych systemach audio. Taka implementacja wymaga przetwornika o rozdzielczości 20 bitów oraz paśmie $f_b \ge 24$ kHz, czyli częstotliwość Nyquista wynosi $f_N \approx 50$ kHz. Aby uzyskać te parametry współczynnik nadpróbkowania musi wynosić OSR ≥ 20500 . Prowadzi to do zbyt dużej częstotliwości próbkowania, wynoszącej 1025 MHz. Rozwiązaniem są modulatory wyższych rzędów, w których kształtowanie szumu kwantyzacji jest bardziej efektywne. Współczesne przetworniki a/c z modulatorem $\Sigma\Delta$ pracują z rozdzielczością 24 bitów przy prędkości przetwarzania wynoszącej kilka MSPS (*Mega-Samples Per Second*).

4.5. Przetwornik a/c z modulatorem Sigma-Delta trybu prądowego z przełączanymi transkonduktorami

Przetworniki a/c z modulatorem $\Sigma\Delta$ mogą być konstruowane w strukturach pierwszej i drugiej generacji z elementarnych układów z przełączanymi prądami (SI) oraz z układów z przełączanymi transkonduktorami (ST). Autor badał struktury zbudowane zarówno z elementarnych układów SI jak i układów ST. Te pierwsze były weryfikowane za pomocą badań symulacyjnych, a drugie

dodatkowo zostały wykonane jako układ eksperymentalny typu ASIC i doświadczalnie pomierzono ich parametry. Wyniki badań przetworników a/c z elementarnymi układami SI są opisane w publikacjach autora [A4.4, A4.5], natomiast badania przetworników a/c z układami ST są opisane w dalszej części rozdziału.

4.5.1. Układ pamiętający pierwszej generacji ze wzmacniaczem transkonduktancyjnym

Koncepcja prądowych układów z przełączanymi transkonduktorami polega na pamiętaniu napięć, a sygnałami wejściowymi i wyjściowymi są prądy. W układzie wyróżnia się układ wejściowy: konwerter prądowo-napięciowy i układ wyjściowy konwerter napięciowo-prądowy. Ideę tę prezentuje rysunek 4.13. Elementem pamiętającym napięcie podczas kolejnych faz przełączania jest pojemność C_{in} . Pojemność ta, jej wartość i liniowość, nie jest krytyczna dla właściwości układu. Jest to zwykle pasożytnicza pojemność układu wejściowego.



Rys. 4.13. Koncepcja układu pamiętającego w technice SI

Rys. 4.14. Układ pamiętający zbudowany z dwóch wzmacniaczy transkonduktancyjnych

W pierwszej fazie okresu n prąd wejściowy ładuje kondensator C_{in} do napięcia:

$$v_c(n) = r_m \cdot \dot{i}_{in}(n) \tag{4.23}$$

W drugiej fazie okresu *n* pojemność C_{in} podtrzymuje napięcie $v_c(n)$. Napięcie to wymusza na wyjściu prąd:

$$i_{out}(n+\frac{1}{2}) = g_m v_c(n)$$
 (4.24)

Uwzględniając wyrażenie (4.23) we wzorze (4.24) otrzymuje się:

$$i_{out}(n+\frac{1}{2}) = r_m \cdot g_m \cdot i_{in}(n)$$
 (4.25)

Równanie (4.25) można przedstawić w dziedzinie z następująco:

$$I_{out}(z) \cdot z^{\frac{1}{2}} = r_m \cdot I_{in}(z)$$
(4.26)

Transmitancja układu w dziedzinie z jest zatem następująca:

$$H(z) = \frac{I_{out}(z)}{I_{in}(z)} = r_m g_m z^{-\frac{1}{2}}$$
(4.27)

Jest to układ pamiętający pierwszej generacji, zbudowany z dwóch tranzystorów NMOS i klucza przełączającego. Pierwszy tranzystor zamienia prąd wejściowy na napięcie, a drugi zapamiętane napięcie na prąd wyjściowy. Układ pamiętający opóźnia sygnał o pół okresu przełączania.

Na rysunku 4.14 przedstawiono układ pamiętający z dwoma wzmacniaczami transkonduktancyjnymi opóźniający sygnał o pół okresu przełączania. W tym układzie również sygnały wejściowy i wyjściowy są prądami, a sygnałem pamiętanym na pojemności C_{in} jest napięcie. Pierwszy wzmacniacz transkonduktancyjny jest w konfiguracji transrezystora o rezystancji $1/g_{m1}$ i pracuje jako konwerter prąd-napięcie, a drugi wzmacniacz jest konwerterem napięcieprąd [4.15, 4.16].

W pierwszej fazie okresu n prąd wejściowy ładuje kondensator C_{in} do napięcia:

$$v_{c}(n) = \frac{1}{g_{m1}} \cdot i_{in}(n)$$
(4.28)

W drugiej fazie okresu *n* pojemność C_{in} podtrzymuje napięcie $v_c(n)$. Napięcie to wymusza na wyjściu prąd:

$$i_{out}(n+\frac{1}{2}) = g_{m2}v_c(n)$$
(4.29)

Uwzględniając wyrażenie (4.6) we wzorze (4.7) otrzymuje się

$$i_{out}(n+\frac{1}{2}) = g_{m2} \cdot \frac{1}{g_{m1}} \cdot i_{in}(n)$$
(4.30)

Równanie to można wyrazić w dziedzinie z następująco:

$$I_{out}(z) \cdot z^{\frac{1}{2}} = \frac{g_{m2}}{g_{m1}} \cdot I_{in}(n)$$
(4.31)

Transmitancja układu wynosi:

$$H(z) = \frac{I_{out}(z)}{I_{in}(z)} = \frac{g_{m2}}{g_{m1}} \cdot z^{-\frac{1}{2}}$$
(4.32)

Jest to układ pamiętający pierwszej generacji z przełączanymi transkonduktorami.

4.5.2. Układ pamiętający drugiej generacji ze wzmacniaczem transkonduktancyjnym

Na rysunku 4.15a przedstawiono układ pamiętający z przełączanymi transkonduktorami z jednym wzmacniaczem transkonduktancyjnym, czyli drugiej generacji. W pierwszej fazie przełączania transkonduktor jest przetwornikiem prąd-napięcie. Pojemność C_{in} jest pasożytniczą pojemnością wzmacniacza transkonduktancyjnego. Rysunki 4.15b i 4.15c przedstawiają schematy zastępcze dla dwóch faz okresu przełączania.



Rys. 4.15. Układ opóźniający o pół okresu przełączania, z jednym wzmacniaczem transkonduktancyjnym; a) struktura, b) schemat zastępczy w fazie pierwszej, c) schemat zastępczy w fazie drugiej

Transmitancję układu pamiętającego w dziedzinie z można wyznaczyć następująco. W pierwszej fazie okresu przełączania n, prąd wejściowy ładuje pojemność C_{in} do napięcia $v_{in}(n)$ wymuszając prąd źródła prądowego sterowanego napięciem (wzmacniacza transkonduktancyjnego) równy:

$$i_T(n) = -g_m v_{in}(n) = -i_{in}(n)$$
(4.33)

W drugiej fazie okresu przełączania n, napięcie na pojemności $v_{in}(n)$ wymusza przepływ prądu źródła prądowego sterowanego napięciem (wzmacniacza transkonduktancyjnego). Stąd:

$$i_{out}(n+\frac{1}{2}) = i_T(n) = -g_m v_{in}(n) = -i_{in}(n)$$
(4.34)

Równanie (4.34) można zapisać w dziedzinie z następująco:

$$I_{out}(z)z^{\frac{1}{2}} = -I_{in}(z)$$
(4.35)

a transmitancja prądowa w dziedzinie z może być wyrażona jako:

$$H(z) = \frac{I_{out}(z)}{I_{in}(z)} = -z^{-\frac{1}{2}}$$
(4.36)

W celu zapewnienia dużej dokładności pamiętania układu okres przełączania T_s musi być znacznie mniejszy niż stała czasowa rozładowania pojemności C_{in} . Prowadzi to do zależności:

$$T_{\rm S} \ll \frac{G_{\rm in}}{C_{\rm in}} \tag{4.37}$$

która może być łatwo spełniona, ponieważ wejściowa konduktancja G_{in} wzmacniacza transkonduktancyjnego CMOS jest bardzo mała.

4.5.3. Wzmacniacz transkonduktancyjny

Układ pamiętający drugiej generacji z przełączanymi transkonduktorami wykorzystano do realizacji integratorów, a następnie modulatora $\Sigma\Delta$. Do budowy układu pamiętającego zaprojektowano i przebadano wzmacniacz transkonduktancyjny CMOS [A4.8]. Schemat wzmacniacza oraz jego charakterystykę przejściową otrzymaną w wyniku badań symulacyjnych dla dwóch wyjść odwracającego i nieodwracającego fazy pokazano na rysunku 4.16.



Rys. 4.16. Wzmacniacz transkonduktancyjny; a) schemat elektryczny; b) charakterystyka przejściowa

W realizowanych integratorach potrzebne są wzmacniacze transkonduktancyjne o dwóch wyjściach: odwracającym i nieodwracającym fazy. Dlatego wzmacniacz transkonduktancyjny jest zbudowany z dwóch inwerterów CMOS, z tranzystorów M_7 , M_8 oraz M_9 , M_{10} . Drugi inwerter w połączeniu z tranzystorami M_{11} , M_{12} , M_{13} , M_{14} tworzy układ nieodwracający fazy.

4.5.4. Integrator drugiej generacji ze wzmacniaczami transkonduktancyjnymi

Odwracający integrator z przełączanymi transkonduktorami drugiej generacji jest przedstawiony na rysunku 4.17. Jest on zbudowany z dwóch kaskadowo połączonych układów pamiętających drugiej generacji oraz pętli sprzężenia

zwrotnego. W drugiej fazie cyklu zegarowego n-1, prąd źródła prądowego sterowanego napięciowo, zbudowanego na drugim transkonduktorze, wynosi:

$$i_{T2}(n-1) = -i_{T1}(n-1) = i_{in}(n-1) - i_{out}(n-1)$$
(4.38)

W pierwszej fazie następnego cyklu zegarowego n, napięcie na pojemności C_{in} drugiego transkonduktora utrzymuje prąd źródła prądowego:

$$i_{T2}(n) = -i_{T1}(n-1) \tag{4.39}$$

natomiast prąd wyjściowy:

$$i_{out}(n) = -i_{T2}(n) = i_{T1}(n-1)$$
(4.40)

Podstawiając równanie (4.38) do równania (4.40) otrzymujemy:

$$i_{out}(n) = i_{out}(n-1) - i_{in}(n-1)$$
(4.41)

a w dziedzinie z:

$$I_{out}(z) = I_{out}(z)z^{-1} - I_{in}(z)z^{-1}$$
(4.42)

a transmitancja prądowa w dziedzinie z może być wyrażona jako:

$$H_{\rm int}(z) = \frac{I_{out}(z)}{I_{in}(z)} = -\frac{z^{-1}}{1 - z^{-1}}$$
(4.43)



Rys. 4.17. Odwracający integrator drugiej generacji z przełączanymi transkonduktorami

Zgodnie z ideą zilustrowaną na rysunku. 4.17. zaprojektowano integrator z przełączanymi transkonduktorami. Schemat integratora jest przedstawiony na rysunku 4.18. Zaprojektowany integrator został przebadany symulacyjnie [A4.8]. Przykładowy wynik odpowiedzi integratora na pobudzenie falą prostokątną jest przedstawiony na rysunku 4.19. Można zauważyć przesunięcie prądu wyjściowego i_{out} względem i_{in} o okres przełączania T_s . Prąd wyjściowy jest kluczowany i zawiera informację o przetwarzanym sygnale tylko w pierwszej fazie przełączania. Dla zakresu projektowanych prądów wyjściowych ±10 µA integrator pobudzony falą prostokątną zachowuje w pełni liniowość prądu wyjściowego.



Rys. 4.18. Uproszczony schemat ideowy odwracającego integratora drugiej generacji z przełączanymi transkonduktorami [A4.8]



Rys. 4.19. Wyniki badań symulacyjnych integratora z rysunku 4.18 pobudzonego falą prostokątną [A4.8]

4.5.5. Komparator prądu

Zastosowany w modulatorach $\Sigma\Delta$ z przełączanymi transkonduktorami układ komparatora prądu oraz jego charakterystykę przejściową, otrzymaną w wyniku badań symulacyjnych, przestawiono na rysunku 4.20. Wyjście komparatora jest tożsame z wyjściem modulatora $\Sigma\Delta$ i daje logiczne poziomy napięciowe. Komparator jest zbudowany z inwertera CMOS (tranzystory M_{22} i M_{24}) poprzedzonego wzmacniaczem prądowym ze źródłami Wilsona pracującymi w klasie AB [A4.1]. Jeżeli prąd wejściowy i_{IN} jest większy od zera, to napięcie wejściowe inwertera rośnie, aż do wartości V_{DD} . Powoduje to zmniejszenie napięcia na wyjściu inwertera, aż do niskiego poziomu logicznego. W przeciwnym razie, jeżeli prąd wejściowy i_{IN} jest mniejszy od zera, to napięcie wejściowe inwertera maleje aż do wartości V_{SS} , a napięcie wyjściowe inwertera rośnie, aż do wysokiego poziomu logicznego. W ten sposób inwerter rozpoznaje dodatni i ujemny prąd wejściowy, czyli jest komparatorem prądu.



Rys. 4.20. Komparator prądu; a) uproszczony schemat ideowy; b) wynik symulacji charakterystyki przejściowej [A4.8]

4.5.6. Jednobitowy prądowy przetwornik c/a

W modulatorach $\Sigma \Delta z$ przełączanymi wzmacniaczami transkonduktancyjnymi zastosowano układ jednobitowego prądowego przetwornika c/a przestawiony na rysunku. 4.21a. Jego charakterystykę przejściową, otrzymaną w wyniku badań symulacyjnych, przestawiono na rysunku 4.21b.



Rys. 4.21. Jednobitowy prądowy przetwornik c/a; a) uproszczony schemat ideowy; b) wynik symulacji charakterystyki przejściowej [A4.8]

Wejście przetwornika c/a jest sterowane napięciowymi poziomami logicznymi z wyjścia modulatora $\Sigma \Delta$. Jeżeli na wejściu układu jest wysoki poziom logiczny, to tranzystor M_6 jest włączony i prąd wyjściowy jest równy $i_{OUT} = KI$. Jeżeli na wejściu układu jest niski poziom logiczny to tranzystor M_5 jest włączony, a prąd wyjściowy równy: $i_{OUT} = -KI$. Układ generuje prąd +*KI* oraz -*KI*, gdzie *K* jest wzmocnieniem przetwornika.

4.5.7. Układ eksperymentalny ASIC z przetwornikami a/c z modulatorem Sigma-Delta

W ramach prac badawczych prowadzonych na Wydziale Elektroniki i Informatyki Politechniki Koszalińskiej zaprojektowano i zrealizowano układ ASIC, z prototypowymi układami przetworników a/c z modulatorami $\Sigma\Delta$ [A4.6–4.8]. Układ eksperymentalny został wyprodukowany w Service Center Eurochip, w technologii cyfrowej 0,7 µm ES2. Topografia układu została opracowana w programie UNCLE. Przykładowy fragment topografii – modulator $\Sigma\Delta$ drugiego rzędu, został przedstawiony na rysunku 4.22.



Rys. 4.22. Fragment topografii badanego eksperymentalnego układu ASIC – modulator Σ∆ drugiego rzędu, w technologii cyfrowej 0,7 µm ES2 [A4.6]

Układ eksperymentalny zawiera trzy rodzaje przetworników a/c, z modulatorami $\Sigma\Delta$: pierwszego rzędu, drugiego rzędu i dwustopniowy trzeciego rzędu. Układy te zostały przebadane a wyniki pomiarów oraz zestawienie otrzymanych parametrów są przedstawione w dalszej części pracy. Sygnał analogowy – prąd na wejściu układu jest dwukrotnie całkowany i kwantyzowany przez komparator prądu. Napięciowe sygnały cyfrowe na wyjściu komparatora po decymacji tworzą słowa kodu wyjściowego. Sygnał z wyjścia komparatora jest przetwarzany w dwóch jednobitowym przetwornikach c/a na sygnał prądowy odejmowany niezależnie na wejściu pierwszego i drugiego integratora. Schemat ideowy jednego z badanych przetworników a/c z modulatorem $\Sigma\Delta$ drugiego rzędu jest przedstawiony na rysunku 4.23.





Przetwornik a/c z modulatorem pierwszego rzędu

Modulator $\Sigma\Delta$ pierwszego rzędu jest zbudowany z przełączanego integratora, komparatora prądu i jednobitowego prądowego przetwornika c/a, pracującego w pętli ujemnego sprzężenia zwrotnego. Model funkcjonalny opracowany w programie MATLAB, ilustrujący działanie modulatora, przedstawiono na rysunku 4.24. Przykład pomiarów wykonanych dla modulatora pierwszego rzędu, wykonanego w układzie eksperymentalnym, ilustruje rysunek 4.25.



Rys. 4.24. Model funkcjonalny modulatora $\Sigma\Delta$ pierwszego rzędu



Rys. 4.25. Oscylogramy przedstawiające pomiar sygnału wyjściowego modulatora ΣΔ pierwszego rzędu, z prądowym sygnałem wejściowym; a) liniowo narastającym; b) sinusoidalnym

Przetwornik a/c z modulatorem drugiego rzędu

Modulator $\Sigma\Delta$ drugiego rzędu jest zbudowany z dwóch przełączanych integratorów, komparatora prądu i dwóch jednobitowych prądowych przetworników c/a, podający niezależnie sygnał ujemnego sprzężenia zwrotnego na wejścia pierwszego i drugiego integratora. Model funkcjonalny opracowany w programie MATLAB, ilustrujący działanie modulatora, przedstawiono na rysunku 4.26. Przykład pomiarów wykonanych dla modulatora drugiego rzędu, wykonanego w układzie eksperymentalnym, ilustruje rysunek 4.27.



Rys. 4.26. Model funkcjonalny modulatora $\Sigma\Delta$ drugiego rzędu



Rys. 4.27. Oscylogramy przedstawiające pomiar sygnału wyjściowego modulatora ΣΔ drugiego rzędu z prądowym sygnałem wejściowym; a) liniowo narastającym; b) sinusoidalnym

Przetwornik a/c z dwustopniowym modulatorem trzeciego rzędu

Dwustopniowy modulator $\Sigma\Delta$ trzeciego rzędu jest zbudowany z dwóch połączonych kaskadowo stopni: pierwszego i drugiego rzędu. Taka struktura pozwala na uzyskanie dobrych parametrów przetwarzania przy jednoczesnym uniknięciu problemów ze stabilnością układu. Model funkcjonalny opracowany w programie MATLAB, ilustrujący działanie modulatora, przedstawiono na rysunku 4.28. Przykład pomiarów wykonanych dla modulatora drugiego rzędu, wykonanego w układzie eksperymentalnym, ilustruje rysunek 4.29.



Rys. 4.28. Model funkcjonalny dwustopniowego modulatora $\Sigma\Delta$ trzeciego rzędu



Rys.4.29. Oscylogramy przedstawiające pomiar sygnału wyjściowego dwustopiowego modulatora ΣΔ trzeciego rzędu z prądowym sygnałem wejściowym; a) liniowo narastającym; b) sinusoidalnym

4.5.8. Wyniki pomiarów parametrów dynamicznych, eksperymentalnych przetworników a/c z modulatorami ΣΔ, w trybie prądowym

W ramach prac badawczych WEil Politechniki Koszalińskiej przebadano symulacyjnie, zaprojektowano, a następnie wyprodukowano i pomierzono układ eksperymentalny ASIC, pozwalający zweryfikować parametry przetworników a/c z trzema strukturami modulatorów $\Sigma\Delta$. Na etapie badań symulacyjnych, przeprowadzono analizę widma FFT dla trzech projektowanych modulatorów $\Sigma\Delta$. Uzyskane wyniki symulacji są przedstawione na rysunku 4.30. Otrzymane widma ilustrują właściwości kształtowania szumów przez modulatory pierwszego, drugiego i trzeciego rzędu.



Rys. 4.30. Obliczona charakterystyka widmowa modulatorów ΣΔ, na podstawie badań symulacyjnych; a) pierwszego rzędu; b) drugiego rzędu; c) dwustopniowego trzeciego rzędu

W celu zbadania parametrów dynamicznych, dla każdego z modulatorów przeprowadzono analizę FFT widma gęstości mocy podając na wejście sinusoidalny sygnał prądowy o amplitudzie $\pm 100 \ \mu$ A i częstotliwości 1 kHz, przy zasilaniu
$\pm 3V$. Ciąg bitów na wyjściach modulatorów został zagregowany w rejestratorze danych, a następnie poddany obróbce numerycznej z wykorzystaniem narzędzi programu MATLAB.



Rys. 4.31. Pomierzone charakterystyki widmowe prototypów modulatorów ΣΔ; a) pierwszego rzędu; b) drugiego rzędu; c) dwustopniowego trzeciego rzędu

Do obliczenia charakterystycznych parametrów wykorzystano 1024 punktową analizę FFT. Zestawienie otrzymanych wyników przedstawia tabela 4.1 a otrzymane wykresy widma gęstości mocy rysunek 4.31. Dla przetwornika a/c z dwustopniowym modulatorem $\Sigma\Delta$ uzyskano 11-bitową rozdzielczość przy 3,5 mW poboru mocy.

	Pierwszego	Drugiego	Dwustopniowy
	rzędu	rzędu	trzeciego rzędu
Technologia	0,7µm	0,7µm	0,7µm
Napięcie zasilania	±3,3 V	±3,3 V	±3,3 V
Częst. próbkowania	1024 kHz	1024 kHz	1024 kHz
OSR	110	110	110
Pasmo	20 Hz - 9 kHz	20 Hz - 9 kHz	20 Hz - 9 kHz
SNR	43 dB	57 dB	66 dB
Rozdzielczość	7 bitów	9 bitów	11 bitów
Pobór mocy	1,9 mW	3,1 mW	3,5 mW

Tab. 4.1. Zestawienie parametrów badanych prototypowych przetworników a/c z modulatorami $\Sigma\Delta$ pierwszego, drugiego i dwustopniowego trzeciego rzędu

Dane przedstawione w tabeli 4.1 pokazują różnice w parametrach przebadanych modulatorów. Zgodnie z przewidywaniem kształtuje się współczynnik SNR, który osiąga większe wartości dla modulatorów wyższych rzędów. Niestety towarzyszy temu wzrost mocy pobieranej przez układ, co jest związane z rozbudową architektury układów.

Charakterystyki widmowe sygnałów wyjściowych, badanych prototypów modulatorów $\Sigma\Delta$, przedstawione na rysunku 4.31, uwidaczniają zależność charakterystyki kształtowania szumów od rzędu architektury modulatora. Widać wyraźnie przesunięcie mocy szumów w kierunku wyższych częstotliwości, dla modulatora drugiego i dwustopniowego trzeciego rzędu.

4.6. Wnioski

W niniejszym rozdziale przedstawiono struktury układowe CMOS i działanie przetworników a/c trybu prądowego wykorzystujących modulatory $\Sigma\Delta$. Układy te pracują z częstotliwościami próbkowania wielokrotnie wyższymi niż częstotliwość Nyquista. Dzięki właściwościom kształtowania charakterystyki częstotliwościowej szumu kwantyzacji, modulatory umożliwiają konstrukcję przetworników o bardzo dużej rozdzielczości, przy niezbyt rozbudowanych układach, niskim napięciu zasilania i poborze mocy. Słabą stroną przetworników a/c z modulatorami $\Sigma\Delta$ jest prędkość przetwarzania. Jest to związane z koniecznością stosowania dużych wartości współczynnika nadpróbkowania (OSR), przez

110

co przetworniki te stosowane są do aplikacji o wymaganej, co najwyżej, średniej prędkości przetwarzania. Podano podstawy teoretyczne oraz zasady działania modulatorów pierwszego, drugiego i trzeciego rzędu pracujących w strukturach z ujemnym sprzężeniem zwrotnym, ze sprzężeniem wyprzedzającym (*feed-forward*) oraz wielostopniowej. Dla poszczególnych modulatorów omówiono budowę i sposób kształtowania szumu kwantyzacji.

Szczegółowo opisano konstrukcje, działanie oraz wyniki pomiarów wykonanych prototypów trzech przetworników a/c z modulatorami $\Sigma\Delta$: pierwszego rzedu. drugiego rzedu i dwustopniowego trzeciego rzędu. Opisany przetwornik a/c z modulatorami $\Sigma\Delta$ pracujacy w trybie pradowym był przedmiotem badań autora zrealizowanych w ramach projektu MNiSW nr 3 P408 014 06 pt.: "Analiza i projektowanie filtrów i przetworników a/c i c/a". Autorskie rozwiązanie struktury przetwornika zostało zaprojektowane, przebadane symulacyjnie, a następnie wykonane w postaci eksperymentalnego układu ASIC. Topografia układu została opracowana w programie UNCLE, a układ został wyprodukowany w Service Center Eurochip, w technologii cyfrowej 0,7 µm ES2. Zamieszczone w tabeli 4.1 wyniki pomiarowe potwierdziły wcześniejsze założenia projektowe. Dzieki zastosowaniu trybu pradowego, układ charakteryzuje się małym poborem mocy (od 1,9 mW do 3,5 mW) i niewielką powierzchnią zajmowana w układzie scalonym. Otrzymane rezultaty potwierdziły przydatność tego rozwiązania do budowy przetwornika a/c przeznaczonego do wykonania w ramach jednej technologii i na jednym podłożu z układami cyfrowymi CMOS, jako układu SoC.

4.7. Literatura

Publikacje z udziałem autora

- [A4.1] K. Wawryn and R. Suszyński, *Current Mode ΣΔ Modulators*, in Proc. 20th Nat. Conf. Circuit Theory and Electronic Circuits, 1997, s. 103-108.
- [A4.2] R. Suszyński, K. Wawryn, *Rapid Prototyping of Third-Order Sigma-Delta A/D Converters*, International Journal of Electronics and Telecommunications, Vol. 59, No. 1, 2013.
- [A4.3] R. Suszyński, K. Wawryn, FPAA Prototyping of ΣΔ Analog Digital Converters, Proceedings of 13th IEEE International Conference on Electronics, Circuits and Systems, Nicea, Francja, 2006, 4s.
- [A4.4] K. Wawryn, R. Suszyński, Current Mode Approach to Sigma-Delta Modulators, in Proc. International Symposium on Circuits and Systems, Monterey, California, USA; June 1998.
- [A4.5] R. Suszyński, K. Wawryn, *Current Mode Sigma-Delta Modulators*, Bulletin of the Polish Academy of Sciences, Technical Sciences, Vol. 46, No. 4, 1998, s. 409-417.

- [A4.6] Suszyński, R., Experimental circuit with current mode ΣΔ modulators with switched transconductance, The 7th IEEE International Conference on Electronics, Circuits and Systems, ICECS'2000, Vol. 1, 2000, s.133-136.
- [A4.7] R. Suszyński, Measuring and Experimental Results of A/D Converters with Current Mode Sigma – Delta Modulators, Bulletin of the Polish Academy of Sciences, Technical Sciences, vol. 47, no. 3, 1998, s. 277-282.
- [A4.8] R. Suszyński, K. Wawryn, Switched Transconductance amplifiers approach to Sigma – Delta modulators, in Proc. Fourth IEEE International Conference on Electronics, Circuits and Systems, Cairo Egypt 1997, s. 761-766.

Pozostałe prace

- [4.1] T. Schönauer, Sigma-Delta Modulation using Switched-Current Techniques, Integrated Circuits Laboratory Department of Electrical Engineering, Stanford University, 1995.
- [4.2] J.A. Cherry, W.M. Snelgrove, *Continuous-Time Delta-Sigma Modulators for High-Speed A/D Conversion*, Kluwer Academic Publishers, 2002.
- [4.3] J. Candy, G. Temes, Oversampling Delta-Sigma Data Converters, IEEE Press, NY, 1991.
- [4.4] J. Candy, A use of double integration in sigma delta modulation, IEEE Trans. Commun., Vol. COM-33, 1985, s. 249-258.
- [4.5] R.M. Gray, Oversampled sigma-delta modulation, IEEE Trans. Commun., Vol. COM-35, 1987, s. 481-489.
- [4.6] B. Boser and B. Wooley, *The design of sigma-delta modulation analog-to-digital converters*, IEEE J. Solid-State Circuits, Vol. 23, 1988, s. 1298-1308.
- [4.7] Y. Tao, L. Yao, Y. Lian, A 1-V, 82-dB, 2.5-MS/s, single loop, single bit deltasigma modulator in 0.13-μm CMOS technology, Analog Integrated Circuits and Signal Processing, Vol. 71(2), 2012, s. 171-178.
- [4.8] M.E. Høvin, D.T. Wisland, Y. Berg, T.S. Lande, A Frequency Delta-Sigma Analog-to-Digital Converter Operating at a Power-Supply Voltage of 0.6 V, Analog Integrated Circuits and Signal Processing, Vol. 34(1), 2003, s. 17-24.
- [4.9] I. Grech, J. Micallef, C. J. Debono, P. Malcovati, F. Maloberti, A 1 V Second Order Sigma-Delta Modulator, Analog Integrated Circuits and Signal Processing, Vol. 27(1-2), 2001, s. 147-159.
- [4.10] H. Roh, H. Lee, Y. Choi, J. Roh, A 0.8-V 816-nW delta-sigma modulator for low-power biomedical applications, Analog Integrated Circuits and Signal Processing, Vol. 63(1), 2010, s. 101-106.
- [4.11] Hsin-Liang Chen, Yi-Tsung Li, Jen-Shiun Chiang, A low power sigma-delta modulator for dual-mode wide-band receiver, Analog Integrated Circuits and Signal Processing, Vol. 71(2), 2012, s. 179-185.
- [4.12] Yan Chen, Kong-Pang Pun, A 0.5-V 90-dB SNDR 102 dB-SFDR audio-band continuous-time delta-sigma modulator, Analog Integrated Circuit and Signal Processing, Vol. 71, 2012, s. 159-169.
- [4.13] E. Bonizzoni, A. Pena Perez, F. Maloberti, M.A. Garcia-Andrade, *Two op-amps* third-order sigma-delta modulator with 61-dB SNDR, 6-MHz bandwidth and 6-

mW power consumption, Analog Integrated Circuit and Signal Processing, Vol. 66, 2011, s. 381-388.

- [4.14] Hyungdong Roh, Hyuntae Lee, Youngkil Choi, Jeongjin Roh, A 0.8-V 816-nW delta-sigma modulator for low-power biomedical applications, Analog Integrated Circuit and Signal Processing, Vol. 63, 2010, s. 101-106.
- [4.15] S. Szczepański, R. Schaumann, B. Pankiewicz, A CMOS transconductance element with improved DC gain and wide bandwidth for VHF applications, Analog Integrated Circuits and Signal Processing, Vol. 10, No. 3, 1996, s. 143-156.
- [4.16] B. Pankiewicz, S. Szczepański, M. Wójcikowski, Bulk linearized CMOS differential pair transconductor for continuous-time OTA-C filter design, Bulletin of the Polish Academy of Sciences, Technical Sciences, Vol. 62(1), 2014, s. 77-84.

5. Potokowy przetwornik a/c z korekcją błędów niezrównoważenia komparatorów

5.1. Wprowadzenie

Parametry pradowych potokowych przetworników a/c spełniaja wymagania współczesnych systemów DSP, w których przetwarzane sa szybko zmieniające się obrazy, o dużej rozdzielczości. Dodatkowo przetworniki te charakteryzują sie mała moca pobierana ze źródła zasilania, co predestynuje je do zastosowania w aplikacjach mobilnych [A5.1–A5.3, 5.1–5.4]. W przetwarzaniu obrazów wideo wymagane są przetworniki analogowo-cyfrowe o rozdzielczości przynajmniej 8 bitów i szybkości przetwarzania ponad 50 Msamples/s. Mała moc pobierana ze źródła zasilania, niskie napięcie zasilania i mała powierzchnia zajmowana w układzie scalonym, sa dodatkowo wymagane w zastosowaniach przenośnych. Pomimo, że przetworniki fleszowe są najszybsze, to nie spełniają wymagań stawianych w odniesieniu do mocy pobieranej ze źródła zasilania i powierzchni zajmowanej w układzie scalonym. Struktura potokowa przetwornika a/c jest bardzo atrakcyjna, ponieważ pozwala ominąć ograniczenia struktur fleszowych dotyczących zarówno liczby komparatorów, jak i poboru mocy ze źródła zasilania. W ostatnich latach opracowano wiele rozwiazań układowych analogowo-cyfrowych przetworników potokowych a/c o dużej rozdzielczości i szybkości konwersji [A5.1–A5.10, 5.1–5.15]. Zastosowanie przetworników zrealizowanych w technice pradowej pozwala na ograniczenie mocy pobieranej ze źródła zasilania do rzędu kilkunastu mW oraz obniżenie napięcia zasilania do 3V i mniejszych napięć.



Rys. 5.1. Schemat blokowy potokowego przetwornika a/c o rozdzielczości $M = N \cdot k$ [A5.1]

W rozdziale tym zostanie omówiona struktura potokowego przetwornika a/c zrealizowanego w technice prądowej, który przetwarza wejściowy prądowy sygnał analogowy w jego cyfrowa reprezentacje. Pomysł ten został zaprezentowany przez autora na konferencji MWSCAS'2011 [A5.3] i rozwijany w kolejnych badaniach [A5.1, A5.2]. Cecha charakterystyczną przetwornika potokowego jest to, iż zbudowany jest z takich samych struktur w każdym stopniu przetwarzania. Na rysunku 5.1 pokazano potokowy przetwornik a/c o rozdzielczości $M = N \cdot k$, składający się z N identycznych stopni o rozdzielczości k bitów, przedzielonych układami próbkujaco-pamietajacymi (T/H). Każdy ze stopni przetwornika zawiera układ T/H, przetwornik a/c o rozdzielczości k bitów (ADC), przetwornik c/a o rozdzielczości k bitów (DAC), układ odejmujący i wzmacniacz o wzmocnieniu 2^k . Dzieki zastosowaniu układów T/H każdy ze stopni przetwarza jednocześnie inną próbkę, zapewniając dużą szybkość przetwarzania. Zależności fazy cyklu zegarowego i numeru próbki przetwarzanej w kolejnym stopniu sa zilustrowane w tabeli 5.1. Diagram przedstawia tryby przetwarzania próbek prądów resztkowych w każdym stopniu i_{Ri} (próbka) dla parzystych N. Tryb pamiętania próbki k w N stopniach jest oznaczany pogrubioną czcionką.

zegai	r			S	topień			
okres	faza	N-1	N-2	N-3		2	1	0
k	0	Т	Н	Т		Т	Н	Т
		k	k-1	k-1		k-N+2	k-N+1	k-N+1
	1	H	Т	Н		Н	Т	Н
		k	k	k-1		k-N+2	k-N+2	k-N+1
<i>k</i> +1	0	Т	H	Т		Т	H	Т
		k+1	k	k		k-N+3	k-N+2	k-N+2
	1	Н	Т	H		Н	Т	Н
		<i>k</i> +1	k+1	k		k-N+3	k-N+3	k-N+2
N 1	0	Т	H	Т		Т	H	Т
$k + \frac{1}{2} - 1$		k+N-2	k+N-3	k+N-3		k	k-1	k-1
	1	H	Т	H		H	Т	H
		k+N-2	k+N-2	k+N-3		k	k	k-1
, N	0	Т	H	Т		Т	H	Т
$\kappa + \frac{1}{2}$		k+N-1	k+N-2	k+N-2		k+1	k	k
	1	Н	Т	Н		Н	Т	H
		k+N-1	k+N-1	k+N-2		k+1	k+1	k

Tabela 5.1. Diagram trybów pracy próbek prądów resztkowych [A5.1]

Pierwszy stopień przetwarza najbardziej aktualną próbkę prądu, a następne stopnie prądy z poprzednich stopni, nazywane prądami resztkowymi. W każ-

dym stopniu układ T/H próbkuje i pamięta prąd wyjściowy z poprzedniego stopnia. Zapamiętany w układzie T/H analogowy wartość prądu wejściowego jest zamieniana na kod cyfrowy długości k bitów w przetworniku ADC, a następnie odtwarzana z powrotem na wartość analogową za pomocą przetwornika DAC, o rozdzielczości k. Prąd wyjściowy przetwornika DAC jest odejmowany od zapamiętanego prądu wejściowego i różnica jest wzmacniana 2^k krotnie w celu wygenerowania wyjściowego prądu resztkowego, który jest podawany do następnego stopnia. Wejściowy sygnał prądowy przechodzi przez wszystkie stopnie struktury potokowej, aż osiągnie ostatni stopień. W każdej połowie okresu próbkowania, kolejna próbka podąża za poprzednią. W ten sposób w tym samym czasie w każdym z N stopni przetwarzana jest inna próbka, umożliwiając osiągnięcie czasu przetwarzania równego połowie okresu przetwarzania, niezależnie od rozdzielczości przetwornika.



Rys. 5.2. Schemat blokowy potokowego przetwornika o rozdzielczości $M = N \cdot k + 1$ z korekcją błędów niezrównoważenia [A5.1]

Najprostsza struktura przetwornika jest zbudowana z przetworników ADC o rozdzielczości 1 bita, przetworników DAC o rozdzielczości 1 bita i wzmacniaczy o wzmocnieniu 2. Niestety, podobnie jak ogólna struktura pokazana na rysunku 5.1, przetwornik ten posiada znaczne błędy przetwarzania, wynikające z błędów niezrównoważenia komparatorów. Do wyeliminowania tych błędów stosuje się stopnie o rozdzielczości zwiększonej o 0,5 bita oraz dodatkowe układy korekcyjne jak pokazano na rysunku 5.2. Tak zmodyfikowana struktura potokowa zawiera dodatkowy komparator w każdym stopniu. Dzięki temu jest ona zbudowana ze stopni o rozdzielczości k+0,5 bita, za wyjątkiem ostatniego stopnia o rozdzielczości stopniem o rozdzielczości k bitów, zawierającym dodatkową redundancję. Redundancja jest wykorzystana do wyeliminowania błędów niezrównoważenia komparatorów prądu. Wyjściowe dane cyfrowe z każdego stopnia są zapisywane w rejestrach przesuwających, dzięki czemu dane docierające do układu korekcji dotyczą tej samej próbki prądu. Redundancja jest później eliminowana przez cyfrowy algorytm w układzie korekcji. Tak zbudowany potokowy przetwornik a/c o rozdzielczości $M = N \cdot k + 1$ bitów jest prawie niewrażliwy na błędy niezrównoważenia komparatorów.

5.2. Potokowy przetwornik a/c ze stopniami o rozdzielczości 1,5 bita

Przyjmując k = 1, w ogólnym schemacie blokowym potokowego przetwornika a/c pokazanego na rysunku 5.3, otrzymujemy przetwornik zbudowany ze stopni 1,5-bitowych [A5.1]. Każdy ze stopni takiego przetwornika zawiera układ (T/H), przetwornik ADC o rozdzielczości 1,5 bita, przetwornik DAC o rozdzielczości 1,5 bita, układ odejmujący i wzmacniacz o wzmocnieniu 2. Wyjątkiem jest ostatni stopień zbudowany jedynie z układu T/H i przetwornika ADC o rozdzielczości 2 bitów.



Rys. 5.3. Schemat blokowy potokowego przetwornika a/c ze stopniami o rozdzielczości 1,5 bita [A5.3]

W każdym stopniu struktury potokowej prąd resztkowy jest podawany na wejście układu T/H następnego stopnia. Tabela 5.1 ilustruje zasadę pracy układów T/H. Fazy sygnałów zegarowych, następujących po sobie układów T/H, zmieniają się naprzemiennie. Kolejne prądy resztkowe, danej próbki prądu, są przetwarzane w następujących po sobie stopniach. W każdej połowie okresu próbkowania następna próbka prądu podąża za poprzednią. Dzięki temu, w tym samym czasie, w każdym z N stopni przetwarzana jest inna próbka, umożliwiając osiągnięcie czasu przetwarzania równego połowie okresu przetwarzania niezależnie od rozdzielczości przetwornika. W każdym stopniu układ T/H próbkuje i pamięta prąd z poprzedniego stopnia. Zapamiętany prąd jest zamieniany na 2-bitowy, 3-stanowy kod cyfrowy (00, 01, 10) i z powrotem na wartość analogową w układzie przetwornika DAC o rozdzielczości 1,5 bita. Prąd wyjściowy z przetwornika DAC jest odejmowany od zapamiętanego prądu wejściowego i różnica jest mnożona przez 2. Otrzymana wartość prądu wyjściowego jest podawana na wejście następnego stopnia. W ostatnim stopniu prąd wejściowy jest zamieniany na 2-bitowy, 4-stanowy kod cyfrowy (00, 01, 10, 11).

5.2.1. Układ próbkująco-pamiętający

Schemat układu próbkująco-pamiętającego (T/H) jest pokazany na rysunku 5.4. Jest on zbudowany z komórki pamięci w konfiguracji drugiej generacji pracującej w klasie AB i stopnia wyjściowego, zapewniającego sygnał w całym okresie przełączania. Zasada pracy układu jest następująca: w fazie próbkowania prąd wejściowy rozpływa się między źródła prądowe z tranzystorami M_2 i M_4 . Tranzystory M_5 i M_7 są połączone diodowo i ich pojemności bramka-źródło ładują się prądami źródeł M_2 i M_4 .



Rys. 5.4. Uproszczony schemat ideowy układu T/H [A5.1]

W fazie pamiętania, bramki tranzystorów M_5 i M_7 są odłączone i zgromadzony na nich ładunek odtwarza w gałęziach wyjściowych rozpływ prądu wejściowego, powodując, że $i_{OUT} = -i_{IN}$. Działanie układu zostało szczegółowo omówione w publikacji autora [A5.1].



5.2.2. Układy ADC o rozdzielczości 1,5 i 2 bitów

Rys. 5.5. Uproszczony schemat ideowy układu ADC o rozdzielczości 1,5 bita [A5.3]

Przetwornik ADC o rozdzielczości 1,5 bita jest pokazany na rysunku 5.5. Każdy stopień, za wyjątkiem ostatniego, posiada dwa prądy progowe $-I_{FS}/4$, i $I_{FS}/4$, gdzie I_{FS} i $-I_{FS}$ są odpowiednio maksymalnym i minimalnym zakresami prądu. Wybór prądów progowych nie jest krytyczny. Zakres prądów wejściowych został podzielony na trzy podzakresy i kod wyjściowy przetwornika ADC o rozdzielczości 1,5 bita składa się z dwóch bitów, w tym jeden bit redundancji, usuwany w układzie korekcji. Kody wyjściowe wynoszą odpowiednio:

$$B_{i} = b_{i1}b_{i0} = \begin{cases} 00 \text{ gdy} & i_{R_{i}} \leq -\frac{l_{FS}}{4} \\ 01 \text{ gdy} & -\frac{i_{FS}}{4} < i_{R_{i}} < \frac{l_{FS}}{4} \\ 11 \text{ gdy} & \frac{l_{FS}}{4} \leq i_{R_{i}} \end{cases}$$
(5.1)

dla i = N-1, ..., 1

Struktura przetwornika ADC o rozdzielczości 1,5 bita zawiera dwa prądowe komparatory, dwa układy kopiujące prąd, dwa źródła prądowe, trzy konwertery prąd-napięcie i wyjściowy konwerter kodu. Układy kopiujące są zbudowane z tranzystorów NMOS i PMOS o tych samych rozmiarach. Źródła prądowe są wykorzystywane do dodawania lub odejmowania kopii prądów, tak by utwo-rzyć trzy poziomy prądów cyfrowego kodu temperaturowego $C_i = c_{i2}c_{i1}c_{i0}$. Wyjściowy koder zamienia kod C_i w 2-bitowy, 3-stanowy kod wyjściowy $B_i=b_{i1}b_{i0}$ opisany równaniem (5.1).

Ostatni 2-bitowy stopień posiada trzy prądy progowe $-I_{FS}/2$, 0 i $I_{FS}/2$. Zakres prądów wejściowych został podzielony na cztery podzakresy, dla których kody wyjściowe wynoszą:

$$B_{0} = b_{01}b_{00} = \begin{cases} 00 \text{ gdy} & i_{R_{0}} \leq -\frac{I_{FS}}{2} \\ 01 \text{ gdy} & -\frac{I_{FS}}{2} < i_{R_{0}} \leq 0 \\ 10 \text{ gdy} & 0 < i_{R_{0}} \leq \frac{I_{FS}}{2} \\ 11 \text{ gdy} & \frac{I_{FS}}{2} \leq i_{R_{0}} \end{cases}$$
(5.2)

Na rysunku 5.6 przedstawiono strukturę przetwornika ADC o rozdzielczości 2 bitów zawierającą trzy prądowe komparatory, dla trzech prądów progowych $-I_{FS}/2$, 0 i $I_{FS}/2$. Zasada działania jest analogiczna jak dla przetwornika ADC o rozdzielczości 1,5 bita. Na wyjściu przetwornika powstają 2-bitowe, 4-stanowe kody cyfrowe $B_0=b_{01}b_{00}$, opisane równaniem (5.2).



Rys. 5.6. Uproszczony schemat ideowy układu ADC o rozdzielczości 2 bitów [A5.3]

Kody wyjściowe B_i przetworników ADC o rozdzielczości 1,5 bita oraz 2 bity, opisane odpowiednio równaniami (5.1) oraz (5.2), posiadają redundancje, które są redukowane w układzie korekcji wyjściowego kodu cyfrowego.

5.2.3. Układ DAC o rozdzielczości 1,5 bita

Przetwornik DAC o rozdzielczości 1,5 bita jest pokazany na rysunku 5.7. Jest on zbudowany ze źródła prądowego $I_{FS}/2$ oraz stopnia wyjściowego użytego do wytworzenia prądu równego $-I_{FS}/2$, 0, $I_{FS}/2$, odpowiednio dla kodów wejściowych $C_i = c_{i1}c_{i0} = \{00, 01, 10\}$.







Rys. 5.8. Uproszczony schemat ideowy źródła prądu referencyjnego [A5.1]

5.2.4. Źródło prądu referencyjnego

Struktury 1,5-bitowego i 2-bitowego ADC (rysunki 5.5 i 5.6) oraz 1,5-bitowego DAC (rysunek 5.7) zawierają źródła prądu referencyjnego: $I_{FS}/2$, $-I_{FS}/2$, $I_{FS}/4$ i $-I_{FS}/4$. Na rysunku 5.8 przedstawiono schemat ideowy źródła prądu referencyjnego zbudowanego z kaskodowo połączonych źródeł prądowych zapewniających odpowiednie prądy w blokach przetwarzania ADC i DAC. Dwa zwierciadła prądowe produkują prądy referencyjne I_{REF} oraz $-I_{REF}$.

5.2.5. Układ mnożący prąd przez dwa

W każdym stopniu, prąd wyjściowy przetwornika DAC o rozdzielczości 1,5 bita jest odejmowany od prądu resztkowego poprzedniego stopnia. Różnica jest mnożona przez 2 i przekazywana do następnego stopnia. Stąd prąd resztkowy następnego stopnia jest równy:

$$i_{R_{i-1}} = 2(i_{R_i} - i_{DAC_i}) = \begin{cases} 2i_{R_i} + I_{FS} & \text{dla} & B_i = 00\\ 2i_{R_i} & \text{dla} & B_i = 01\\ 2i_{R_i} - I_{FS} & \text{dla} & B_i = 10 \end{cases}$$
(5.3)



Rys. 5.9. Uproszczony schemat ideowy układu mnożącego prąd przez 2 [A5.3]

Układ mnożący prąd resztkowy przez 2 jest pokazany na rysunku 5.9. Jest on zbudowany z kaskodowych źródeł prądowych, pracujących w klasie AB.

5.2.6. Rejestry przesuwne i układ korekcji wyjściowego kodu cyfrowego

Przetworniki potokowe ze stopniami o rozdzielczości 1 bita są wrażliwe na błędy niezrównoważenia komparatorów. Błędy przekłamania kodów w *i*-tym stopniu są pokazane na rysunku 5.10. Korekcja błędu może być przeprowadzona w przetworniku ze stopniami o rozdzielczości 1,5 bita.



Rys. 5.10. Charakterystyka przejściowa przetwornika ze stopniami o rozdzielczości 1 bita; a) idealny i-ty stopień; b) i-ty stopień z błędem niezrównoważenia [A5.3]

Każdy stopień generuje 2-bitowy kod. Cyfrowe kody $B_i = b_{i1}b_{i0}$ ze wszystkich stopni struktury potokowej są zapisane w rejestrach przesuwających, tak by dane dotyczące tej samej próbki dotarły do wejścia układu korekcji błędu niezrównoważenia komparatorów w tej samej chwili.

W układzie korekcji algorytm eliminuje redundancję każdego stopnia, redukując dwubitowe kody każdego stopnia do jednobitowych kodów na stopień. Algorytm koryguje błędy niezrównoważenia komparatorów i generuje *N*bitowy kod wyjściowy, dodając ze sobą wszystkie kody, tak by każdy 2-bitowy kod zachodził z sąsiednim kodem na jeden bit wg następującego schematu:

$B_{N-1} =$	$b_{N-1 \ 1}$	$b_{N-1 0}$					
$B_2 =$	•••••	•••••	•••••	b_{21}	b_{20}		
$B_1 =$					b_{11}	b_{10}	
$B_0 =$						b_{01}	b_{00}
A =	a_{M-1}	a_{M-2}		a_3	a_2	a_1	a_0

124

Procedura korekcji została zilustrowana na przykładzie przetwornika a/c zbudowanego z ostatnich dwóch stopni struktury potokowej: o rozdzielczości 1,5 bita i 2 bitów. Metoda wyznaczania kodów w dwóch różnych zakresach prądu dla układu bez błędów niezrównoważenia jest pokazana na rysunku 5.11a. Kody dla tych zakresów prądu wynoszą odpowiednio 010 i 101. Procedura wyznaczania kodów dla tych samych dwóch zakresów w układzie zawierającym błędy niezrównoważenia jest pokazana na rysunku 5.11b. Kody w tych zakresach pozostają takie same pomimo błędów niezrównoważenia. Rejestry przesuwające zapewniające dotarcie danych dotyczących tej samej próbki sygnału wejściowego, w tej samej chwili czasu oraz układ korekcji niezrównoważenia komparatorów są pokazane na rysunku 5.12.



Rys. 5.11. Ilustracja korekcji wyjściowego kodu cyfrowego dla układu: a) bez błędów niezrównoważenia; b) z błędami niezrównoważenia [A5.3]

1,5-bitowe stopnie wprowadzają dodatkową redundancję 1 bitu w każdym stopniu, ale wykorzystywane są tylko trzy stany 00, 01 i 10. Redundancja jest wykorzystana do korekcji błędów offsetu komparatorów i następnie eliminowana. Omówiony przetwornik został zaprojektowany, przebadany symulacyjnie, a następnie dokonano pomiarów jego prototypu [A5.1–A5.3]. Szczegółowe wyniki badań zostały przedstawione w rozdziale 5.4.



Rys. 5.12. Schemat blokowy rejestrów przesuwnych i układu korekcji wyjściowego kodu cyfrowego [A5.3]

Wyniki badań stanowiły podstawę do poszukiwania nowych rozwiązań wielostopniowych struktur fleszowych łączących zalety przetworników fleszowych (klasycznych) i potokowych zapewniając szybkość przetwarzania stosowaną w HDTV i małe moce pobierane ze źródła zasilania. W kolejnym rozdziale pokazano prace związane z projektowaniem, implementacją i testowaniem bardziej złożonych potokowych przetworników a/c.

5.3. Potokowy przetwornik a/c ze stopniami o rozdzielczości 2,5 bita

Potokowy przetwornik a/c zbudowany ze stopni o rozdzielczości 2,5 bita (dla k = 2) [A5.2, A5.3] jest pokazany na rysunku 5.13. Każdy ze stopni przetwornika zawiera układ T/H, przetwornik ADC o rozdzielczości 2,5 bita, przetwornik DAC o rozdzielczości 2,5 bita, układ odejmujący i wzmacniacz o wzmocnieniu 4. Wyjątkiem jest ostatni stopień zbudowany jedynie z układu T/H i przetwornika ADC o rozdzielczości 3 bitów. Struktura układu T/H jest taka sama jak w przypadku przetwornika a/c zbudowanego ze stopni o rozdzielczości 1,5 bita (rysunek 5.3).



Rys. 5.13. Schemat blokowy potokowego przetwornika a/c z 2,5-bitowymi stopniami [A5.2]

5.3.1. Układy ADC o rozdzielczości 2,5 i 3 bitów

Przetwornik ADC o rozdzielczości 2,5 bita jest pokazany na rysunku 5.14. Przetwornik ADC w każdym stopniu, za wyjątkiem ostatniego, posiada sześć prądów progowych $-5I_{FS}/8$, $-3I_{FS}/8$, $I_{FS}/8$, $3I_{FS}/8$ i $5I_{FS}/8$, gdzie I_{FS} i $-I_{FS}$ są odpowiednio maksymalnym i minimalnym zakresami prądu. Wybór prądów progowych nie jest krytyczny.



Rys. 5.14. Uproszczony schemat ideowy układu ADC o rozdzielczości 2,5 bita [A5.2]

Zakres prądów wejściowych został podzielony na siedem podzakresów i kod wyjściowy przetwornika ADC o rozdzielczości 2,5 bita składa się z trzech bitów, w tym jeden bit redundancji usuwany w układzie korekcji. Kody wyjściowe wynoszą odpowiednio:

$$B_{i} = b_{i2}b_{i1}b_{i0} = \begin{cases} 000 \text{ gdy} & i_{R_{i}} \leq \frac{-5I_{FS}}{8} \\ 001 \text{ gdy} & \frac{-5I_{FS}}{8} \leq i_{R_{i}} \leq \frac{-3I_{FS}}{8} \\ 010 \text{ gdy} & \frac{-3I_{FS}}{8} \leq i_{R_{i}} \leq \frac{-I_{FS}}{8} \\ 011 \text{ gdy} & \frac{-I_{FS}}{8} \leq i_{R_{i}} \leq \frac{I_{FS}}{8} \\ 100 \text{ gdy} & \frac{I_{FS}}{8} \leq i_{R_{i}} \leq \frac{3I_{FS}}{8} \\ 101 \text{ gdy} & \frac{3I_{FS}}{8} \leq i_{R_{i}} \leq \frac{5I_{FS}}{8} \\ 110 \text{ gdy} & \frac{5I_{FS}}{8} \leq i_{R_{i}} \end{cases}$$
(5.4)

_ .

dla i = N-1, ..., 1

Struktura przetwornika ADC o rozdzielczości 2,5 bita składa się z sześciu komparatorów, sześciu układów kopiujacych prad, trzech źródeł pradowych, sześciu konwerterów prad-napięcie i konwertera kodu. Układy kopiujące sa zbudowane z tranzystorów NMOS i PMOS o tych samych rozmiarach. Źródła pradowe I_1 , I_2 i I_3 są wykorzystywane do dodawania lub odejmowania kopii pradów, tak by utworzvć 6 poziomów pradów, cyfrowego kodu temperaturowego $C_i = c_{i5}...c_{i1}c_{i0}$. Wyjściowy koder zamienia kod C_i w 3-bitowy, 7-stanowy kod wyjściowy $B_i = b_{i2}b_{i1}b_{i0}$ opisany równaniem (5.4). Przetwornik ADC, w ostatnim stopniu o rozdzielczości 3 bitów, posiada siedem pradów progowych - $3I_{FS}/4$, $-I_{FS}/2$, $-I_{FS}/4$, 0, $I_{FS}/4$, $I_{FS}/2$ i $3I_{FS}/4$. Zakres pradów wejściowych został podzielony na osiem podzakresów, dla których kody wyjściowe wynoszą odpowiednio:

$$B_{0} = b_{02}b_{01}b_{00} = \begin{cases} 000 \quad \text{gdy} \qquad i_{R_{0}} \leq \frac{-3I_{FS}}{4} \\ 001 \quad \text{gdy} \quad \frac{-3I_{FS}}{4} \leq i_{R_{0}} \leq \frac{-I_{FS}}{2} \\ 010 \quad \text{gdy} \quad \frac{-I_{FS}}{2} \leq i_{R_{0}} \leq \frac{-I_{FS}}{4} \\ 011 \quad \text{gdy} \quad \frac{-I_{FS}}{4} \leq i_{R_{0}} \leq 0 \\ 100 \quad \text{gdy} \quad \frac{I_{FS}}{4} \leq i_{R_{0}} \leq \frac{I_{FS}}{2} \\ 101 \quad \text{gdy} \quad \frac{I_{FS}}{2} \leq i_{R_{0}} \leq \frac{3I_{FS}}{4} \\ 110 \quad \text{gdy} \quad \frac{I_{FS}}{2} \leq i_{R_{0}} \leq \frac{3I_{FS}}{4} \\ 111 \quad \text{gdy} \quad \frac{3I_{FS}}{4} \leq i_{R_{0}} \end{cases}$$
(5.5)

Struktura przetwornika ADC o rozdzielczości 3 bitów, przedstawiona na rysunku 5.15, zawiera siedem prądowych komparatorów, dla siedmiu prądów progowych. Zasada działania jest analogiczna jak dla przetwornika ADC o rozdzielczości 2,5 bita. Na wyjściu przetwornika powstają 3-bitowe, 8-stanowe kody cyfrowe $B_0 = b_{02}b_{01}b_{00}$, opisane równaniem (5.5).





Kody wyjściowe B_i przetworników ADC o rozdzielczości 2,5 bita oraz 3 bity, opisane odpowiednio równaniami (5.4) oraz (5.5), posiadają redundancje, które są redukowane w układzie korekcji wyjściowego kodu cyfrowego.

5.3.2. Układ DAC o rozdzielczości 2,5 bita



Rys. 5.16. Uproszczony schemat ideowy układu DAC o rozdzielczości 2,5 bita [A5.2]

Przetwornik DAC o rozdzielczości 2,5 bita jest pokazany na rysunku 5.16. Struktura układu składa się ze źródła prądowego $I_{FS}/4$, stopnia wyjściowego użytego do wytworzenia prądu i_{DACi} , równego $-3I_{FS}/4$, $-I_{FS}/2$, $-I_{FS}/4$, 0, $I_{FS}/4$, $I_{FS}/2$ and $3I_{FS}/4$ odpowiednio dla kodów wejściowych 000, 001, 010, 011, 100, 101 i 110.

5.3.3. Układ mnożący prąd przez cztery

W każdym stopniu, prąd wyjściowy przetwornika DAC o rozdzielczości 2,5 bita jest odejmowany od prądu resztkowego poprzedniego stopnia. Różnica jest mnożona przez 4 i podawana do następnego stopnia. Stąd prąd resztkowy następnego stopnia jest równy:

$$i_{R_{i-1}} = 4(i_{R_i} - i_{DAC_i}) = \begin{cases} 4i_{R_i} + 3I_{FS} & \text{dla} & B_i = 000 \\ 4i_{R_i} + 2I_{FS} & \text{dla} & B_i = 001 \\ 4i_{R_i} + I_{FS} & \text{dla} & B_i = 010 \\ 4i_{R_i} & \text{dla} & B_i = 011 \\ 4i_{R_i} - I_{FS} & \text{dla} & B_i = 100 \\ 4i_{R_i} - 2I_{FS} & \text{dla} & B_i = 101 \\ 4i_{R_i} - 3I_{FS} & \text{dla} & B_i = 110 \end{cases}$$
(5.6)

dla i = N - 2, ..., 0

Układy mnożące prąd resztkowy przez 4 są pokazane na rysunku 5.17. Są one zbudowane z kaskodowych źródeł prądowych pracujących w klasie AB.



Rys. 5.17. Uproszczony schemat ideowy układu mnożącego prąd przez cztery [A5.2]

5.3.4. Rejestry przesuwne i układ korekcji wyjściowego kodu cyfrowego

Przetworniki potokowe ze stopniami o rozdzielczości 2 bitów podobnie jak wszystkie przetworniki potokowe zbudowane ze stopni o rozdzielczości równej dowolnej liczbie *k*, są wrażliwe na błędy niezrównoważenia komparatorów. Korekcja błędów może być przeprowadzona w przetworniku za stopniami o rozdzielczości 2,5 bita. Każdy stopień o rozdzielczości 2,5 bita generuje 3 bitowy kod. Cyfrowe kody $B_i = b_{i2}b_{i1}b_{i0}$ ze wszystkich stopni struktury potokowej muszą być zapisane w rejestrach przesuwających, tak by dane dotyczące tej samej próbki dotarły do wejścia układu korekcji błędu niezrównoważenia komparatorów w tej samej chwili czasu.



Rys. 5.18. Ilustracja korekcji wyjściowego kodu cyfrowego dla układu bez błędów niezrównoważenia [A5.2]



Rys. 5.19. Ilustracja korekcji wyjściowego kodu cyfrowego dla układu z błędami niezrównoważenia [A5.2]

W układzie korekcji algorytm eliminuje redundancję każdego stopnia, redukując trzybitowe kody każdego stopnia do dwubitowych kodów na stopień. Algorytm koryguje błędy niezrównoważenia komparatorów i generuje *M*-bitowy kod wyjściowy dodając ze sobą wszystkie kody, tak by każdy 3-bitowy kod zachodził z sąsiednim kodem na jeden bit, wg następującego schematu:

$B_{N-1} =$	$b_{N-1 \ 1}$	$b_{N-1 0}$	$b_{N-1 0}$						
$B_2 =$	•••••			•••••	b_{22}	b_{21}	b_{20}		
$B_1 =$						b_{12}	b_{11}^{-1}	b_{10}	
$B_0 =$							b_{02}	b_{01}	b_{00}
A =	a_{M-1}	a_{M-2}	<i>a</i> _{<i>M</i>-3}		a_4	a_3	a_2	a_1	a_0

Procedura korekcji została zilustrowana na przykładzie przetwornika a/c zbudowanego z ostatnich dwóch stopni struktury potokowej o rozdzielczości 2,5 bita i 3 bitów. Metoda wyznaczania kodów w dwóch różnych zakresach prądu dla układu bez błędów niezrównoważenia jest pokazana na rysunku 5.18. Kody dla tych zakresów prądu wynoszą 01010 i 10001. Procedura wyznaczania kodów dla tych samych dwóch zakresów w układzie zawierającym błędy niezrównoważenia jest pokazana na rysunku 5.19. Kody w tych zakresach pozostają takie same pomimo błędów niezrównoważenia. Rejestry przesuwające zapewniające dotarcie danych dotyczących tej samej próbki w tej samej chwili czasu oraz układ korekcji niezrównoważenia komparatorów są pokazane na rysunku 5.20.

Każdy ze stopni przetwornika zawiera układ T/H, 2,5-bitowy przetwornik ADC, 2,5-bitowy przetwornik DAC, wzmacniacz o wzmocnieniu 4. Wyjątek stanowi ostatni stopień, zbudowany jedynie z układu T/H i 3-bitowego przetwornika a/c. 2,5-bitowy stopień jest w rzeczywistości 2-bitowym stopniem zawierającym dodatkowa redundancje, która jest wykorzystana do wyeliminowania błędu niezrównoważenia komparatorów pradu. Redundancja jest później eliminowana przez cyfrowy algorytm [A5.3], tak że potokowy przetwornik jest prawie niewrażliwy na błędy niezrównoważenia komparatorów. Dzięki układom T/H każdy ze stopni przetwarza jednocześnie inna próbkę zapewniając dużą szybkość przetwarzania. Pierwszy stopień przetwarza najbardziej aktualną próbkę prądu, a następne stopnie prądy z poprzednich stopni, nazywane residuami pradu. W każdym stopniu układ T/H próbkuje i pamięta prad wyjściowy z poprzedniego stopnia. Zostaje on zamieniony przez 2,5-bitowy przetwornik a/c na 3-bitowy kod cyfrowy (000, 001, 010, 011, 100, 101, i 110) i z powrotem na sygnał analogowy przez 2,5-bitowy przetwornik c/a. Różnica prądów między zapamiętanym prądem z poprzedniego stopnia, a prądem z 2,5-bitowego przetwornika c/a jest wzmocniona czterokrotnie i jako prąd resztkowy podawana na wejście następnego stopnia.



wyjścia z 2,5-bitowych ADC

Rys. 5.20. Uproszczony schemat blokowy układu korekcji wyjściowego kodu cyfrowego [A5.2]

Kolejne prądy resztkowe, wejściowej próbki prądu przemieszczają się, aż do ostatniego stopnia, gdzie w układzie 3-bitowego przetwornika a/c o siedmiu prądach progowych tj. z ośmioma stanami wyjściowymi (000, 001, 010, 011, 100, 101, 110, 111), wyznaczane są trzy najmniej znaczące bity próbki. W ten sposób w tym samym czasie, w każdym z *N* stopni przetwarzana jest inna próbka umożliwiając osiągnięcie czasu przetwarzania równego połowie okresu przetwarzania, niezależnie od rozdzielczości przetwornika. Cyfrowa postać sygnału jest korygowana poprzez eliminację redundancji w każdym, za wyjątkiem ostatniego stopnia. Każdy 2,5-bitowy stopień generuje 3-bitowy kod. Cyfrowe kody ze wszystkich stopni struktury potokowej muszą być zapisane w rejestrach przesuwowych, tak by dane dotyczące tej samej próbki dotarły do wejścia układu korekcji błędów niezrównoważenia w tej samej chwili czasu. Algorytm układu korekcji eliminuje redundancję każdego stopnia, redukując 3-bitowe kody każdego stopnia, do 2-bitowych kodów w każdym stopniu. Algorytm koryguje błędy niezrównoważenia komparatorów i generuje *N*-bitowy kod wyjściowy dodając ze sobą wszystkie kody, tak by każdy 3-bitowy kod zachodził z sąsiednim kodem na jeden bit.

5.4. Pomiary potokowych przetworników a/c ze stopniami o rozdzielczości 1,5 oraz 2,5 bita

W celu zbadania rzeczywistych właściwości potokowych przetworników a/c z korekcją błędów niezrównoważenia komparatorów, dokonano pomiarów charakterystycznych parametrów przetworników, wykorzystując odpowiednio zaprojektowany układ eksperymentalny ASIC, którego zdjęcie topografii przedstawiono na rysunku 21. Zastosowano układ zawierający podstawowe bloki funkcjonalne prądowego przetwornika potokowego oraz wyprowadzenia zewnętrzne umożliwiające konfigurację przetworników ze stopniami o rozdzielczości 1,5 oraz 2,5 bita.



Rys. 5.21. Układ eksperymentalny z układami potokowych przetworników a/c wykonany w technologii CMOS AMS 0,35µm [A5.1]

Układ eksperymentalny został zaprojektowany i wykonany w technologii CMOS AMS 0,35µm. Omawiane wcześniej prądowe potokowe przetworniki a/c zostały zaimplementowane w układzie eksperymentalnym w celu ich przebadania i zweryfikowania przyjętych koncepcji. Skonfigurowano dwa przetworniki o rozdzielczości 9 bitów, jeden posiadający 7 stopni o rozdzielczości 1,5 bita i jeden stopień o rozdzielczości 2 bitów oraz drugi posiadający 3 stopnie o rozdzielczości 2,5 bita i jeden o rozdzielczości 3 bitów. Poniżej przytoczono wyniki wybranych pomiarów parametrów przetworników.

Statyczne błędy nieliniowości przetworników zostały pomierzone dla sygnałów o częstotliwości 10 kHz. Przeanalizowano ponad 10⁵ kodów wyjściowych. Test gęstości kodów wskazuje na maksymalny błąd różnicowy nieliniowości (DNL) równy 0,7 LSB dla obu przetworników i maksymalny całkowy błąd nieliniowości (INL) równy 0,9 LSB i 0,8 LSB, odpowiednio dla przetworników ze stopniami o rozdzielczości 1,5 i 2,5 bita. Na rysunkach od 5.22 do 5.25 przedstawiono wykresy DNL i INL w funkcji kodów wyjściowych, odpowiednio dla obu przetworników. Dla uzyskanych danych pomiarowych opracowano wyniki w programie MATLAB.



Rys. 5.22. Charakterystyka przetwornika a/c ze stopniami 1,5 bita. Błąd nieliniowości całkowej INL w funkcji kodów wyjściowych [A5.3]



Rys. 5.23. Charakterystyka przetwornika a/c ze stopniami 1,5 bita. Błąd nieliniowości różnicowej DNL w funkcji kodów wyjściowych [A5.3]



Rys. 5.24. Charakterystyka przetwornika a/c ze stopniami 2,5 bita. Błąd nieliniowości całkowej INL w funkcji kodów wyjściowych [A5.2]



Rys. 5.25. Charakterystyka przetwornika a/c ze stopniami 2,5 bita. Błąd nieliniowości różnicowej DNL w funkcji kodów wyjściowych [A5.2]

Dynamiczna liniowość przetworników została przebadana za pomocą szybkiej transformaty Fouriera (FFT) wyjściowych kodów cyfrowych przetworników, dla sygnału wejściowego poniżej częstotliwości Nyquista. Wykresy widma uzyskanego metodą FFT dla obu przetworników przedstawiono odpowiednio na rysunkach 5.26 i 5.27. Pomiar przeprowadzono dla analogowego sygnału wejściowego o częstotliwości 24,95 MHz oraz częstotliwości próbkowania 50 MHz. Obliczony parametr SNDR obu przetworników wynosi odpowiednio 52 i 58 dB.



Rys. 5.26. Charakterystyka przetwornika a/c ze stopniem 1,5 bita. Widmo FTT dla sinusoidalnego sygnału wejściowego 24,95 MHz [A5.3]



Rys. 5.27. Charakterystyka przetwornika a/c ze stopniem 2,5 bita. Widmo FTT dla sinusoidalnego sygnału wejściowego 24,95 MHz [A5.2]

Wyniki badań porównano z parametrami znanych z literatury przetworników potokowych SC [5.12, 5.13] pracujących w trybie napięciowym i SI [5.14, 5.15] pracujących w trybie prądowym. Rezultaty badań zostały zebrane w tabelach 5.2 i 5.3.

Parametry	opracowany	opracowany	[12]	[13]
	stopnie	stopnie	stopnie	stopnie
	1,5 bita	2,5 bita	1,5 bita	2,5 bita
Technologia	0,35 µm	0,35 μm	0,25 μm	1,0 μm
Rozdzielczość	9 bitów	9 bitów	10 bitów	8 bitów
Próbkowanie	50 MHz	50 MHz	30 MHz	85 MHz
Napięcie zasil.	±1,5V	±1,5V	3,0V	±3,3 V
Moc rozpraszana	10 mW	12 mW	60 mW	1100 mW
SNDR dla NR	51,83 dB	58 dB	50,4 dB	49 dB
SFDR	74,32 dB			
DNL	0,7 LSB	0,7 LSB	0,4 LSB	0,8 LSB
INL	0,9 LSB	0,8 LSB	0,85 LSB	1,0 LSB
Powierz. układu	$0,19 \text{ mm}^2$	$0,21 \text{ mm}^2$	$1,36 \text{ mm}^2$	$24,6 \text{ mm}^2$

Tabela 5.2. Porównanie prototypów przetworników SI i znanych z literatury SC [A5.1]

Tabela 5.3. Porównanie prototypów przetworników SI i znanych z literatury [A5.1]

Parametry	opracowany	opracowany	[14]	[15]
	stopnie	stopnie	stopnie	stopnie
	1,5 bita	2,5 bita	1,5 bita	3,5 bita
Technologia	0,35 μm	0,35 μm	0,35 μm	0,5 μm
Rozdzielczość	9 bitów	9 bitów	8 bitów	12 bitów
Próbkowanie	50 MHz	50 MHz	12,5 MHz	5 MHz
Napięcie zasil.	±1,5 V	±1,5 V	3,3 V	1,8 V
Moc rozpraszana	10 mW	12 mW	29 mW	-
SNDR dla NR	52 dB	58 dB	44,6 dB	71,6 dB
DNL	0,7 LSB	0,7 LSB	0,4 LSB	0,3 LSB
INL	0,9 LSB	0,8 LSB	0,8 LSB	0,6 LSB
Deserieur selete des	0,55 mm x	0,85 mm x	0,85 mm x	0,8 mm x
FOWIEIZ. UKIAUU	0,35 mm	0,25 mm	0,85 mm	0,5 mm

Przedstawione w tabeli 5.2 parametry opracowanych przetworników takie jak: częstotliwość próbkowania, rozdzielczość, SNDR, SFDR, DNL i INL są porównywalne do parametrów przetworników z przełączanymi pojemnościami [5.12, 5.13]. Natomiast moc rozpraszana, powierzchnia układu scalonego i napięcie zasilania są mniejsze. Mała moc pobierana ze źródła zasilania jest wynikiem niskiego napięcia zasilania, a niższe napięcie zasilania nie ma wpływu na dynamikę wejściową sygnałów prądowych i rozdzielczość. Mała powierzchnia w układzie scalonym jest rezultatem małych pojemności MOS stosowanych w układach z przełączanymi prądami.

Przedstawione w tabeli 5.3, parametry opracowanych przetworników pokazują mniejszą moc rozpraszaną i mniejszą powierzchnię układu scalonego, niż w układach z przełączanymi prądami prezentowanych w literaturze [5.14, 5.15]. Pozostałe parametry badanych przetworników są zbliżone do prezentowanych przetworników SI.

5.5. Wnioski

Przetwornik potokowy a/c używa tych samych struktur w każdym stopniu przetwarzania. Struktura *N*-bitowego przetwornika z przełączanymi prądami (SI) jest dość złożona. Przetwornik składa się z identycznych stopni przedzielonych układami próbkująco-pamiętającymi (T/H). Zaprojektowane i przebadane zostały dwie struktury prądowych przetworników potokowych zbudowanych z 1,5-bitowych oraz 2,5-bitowych stopni [5.1–5.3]. W wyniku badań symulacyjnych i pomiarów przetworników otrzymano wystarczającą rozdzielczość i szybkość przetwarzania oraz zadowalającą korekcję błędów przetwarzania wynikających z offsetu komparatorów.

Koncepcja pradowego, potokowego przetwornika a/c była przedmiotem badań autora zrealizowanych w ramach dwóch projektów badawczych: MNiSW nr 3: T11B 069 30 pt.: "Szybkie przetworniki Â/C i C/A w układach interfejsów systemów przetwarzania sygnałów czasu rzeczywistego" oraz projektu badawczego polsko-singapurskiego nr: 8 T11b 044 15, pt.: "New synthesis algorithm developments and hardware implementations for image processing applied to medical diagnostic and communication systems". Przetworniki zbudowane ze stopni 1,5 bitowych oraz 2,5 bitowych skonfigurowano z układów funkcjonalnych pracujacych w trybie pradowym. Przetworniki o rozdzielczości 9 bitów zostały zaprojektowane i wykonane w technologii CMOS AMS 0.35 µm, posiadaja odpowiednio 8 i 4 stopnie. Przeprowadzono badania symulacyjne przetworników oraz dokonano pomiarów układów wykonanych w postaci układu ASIC. Wyniki pomiarów i ich zestawienie z przetwornikami opisanymi w literaturze są przedstawione w tabeli 5.2 oraz 5.3. Statyczne błędy nieliniowości przetworników zostały pomierzone dla sygnału sinusoidalnego o częstotliwości 10 kHz. Przeanalizowano ponad 100 000 kodów wyjściowych. Rozkład gęstości kodów wskazuje, że dla obu przetworników maksymalny błąd różnicowy nieliniowości (DNL) wynosi 0,7 LSB i maksymalny całkowy błąd nieliniowości (INL) wynosi 0,8 oraz 0,9 LSB. Dynamiczna liniowość przetwornika została przebadana za pomocą szybkiej transformaty Fouriera (FFT) dla sygnału sinusoidalnego o częstotliwości Nyquista. Parametry SNDR przetworników wynoszą odpowiednio 56 i 52 dB. Rezultaty badań eksperymentalnych zostały zebrane i porównane z parametrami znanych przetworników potokowych z przełączanymi pojemnościami i z przełączanymi prądami wykonanymi w tej samej lub zbliżonej technologii. Parametry takie jak: częstotliwość próbkowania, rozdzielczość, SNDR, SFDR, DNL i INL są porównywalne do parametrów przetworników z przełączanymi pojemnościami i z przełączanymi prądami. Moc rozpraszana, powierzchnia układu scalonego i napięcie zasilania są mniejsze niż analogiczne przetworniki z przełączanymi pojemnościami. Mała moc pobierana ze źródła zasilania jest wynikiem niskiego napięcia zasilania, które nie ma wpływu na dynamikę wejściową sygnałów prądowych i rozdzielczość. Mała powierzchnia w układzie scalonym jest rezultatem małych pojemności MOS stosowanych w układach z przełączanymi prądami. Otrzymane struktury przetworników są także konkurencyjne w stosunku do prezentowanych w literaturze przetworników z przełączanymi prądami chociaż już nie w takim stopniu jak do przetworników z przełączanymi pojemnościami.

Przedstawiono nowe struktury prądowych potokowych przetworników a/c zbudowanych ze stopni:

- 1,5-bitowych i ostatniego 2-bitowego,
- 2,5-bitowych i ostatniego 3-bitowego.

Na podstawie wyników badań można ocenić, że oba przetworniki spełniają zadane wymagania dotyczące przetwarzania szybkich obrazów, a także zastosowań mobilnych. Do ich zalet należą:

- duże częstotliwości przetwarzania,
- niskie napięcie zasilania,
- mała moc pobierana ze źródła zasilania,
- mała powierzchnia zajmowana w układzie scalonym.

Przeprowadzone prace projektowe, badania symulacyjne oraz pomiary prototypów sprzętowych pozwalają wyciągnąć wniosek opracowane nowe rozwiązania systemu przetwarzania obrazów są adekwatne do pracy w czasie rzeczywistym. Prądowe potokowe przetworniki a/c pozwalają np. na realizację interfejsów systemu przetwarzania sygnałów 2D [A5.1], dostarczających do systemu, w pojedynczej sekundzie 50÷100 obrazów o dużej rozdzielczości, a także niezbędnych w rozwiązaniach mobilnych przetworników a/c o niskim napięciu zasilania, małej mocy pobieranej ze źródła zasilania i małej powierzchni zajmowanej w układzie scalonym.

5.6. Literatura

Publikacje z udziałem autora

- [A5.1] K. Wawryn, R. Suszyński, Low power 9-bit pipelined A/D and 8-bit selfcalibrated D/A converters for a DSP system, Bulletin of the Polish Academy of Sciences-Technical Sciences, Vol. 61(4), 2013.
- [A5.2] K. Wawryn, R. Suszyński, B. Strzeszewski, A low power digitally error corrected 2.5 bit per stage pipelined a/d converter using current-mode signals, Journal of Circuits, Systems and Computers, (20), 2001, s. 29-43.
- [A5.3] K. Wawryn, R. Suszyński, B. Strzeszewski, A low power low voltage currentmode a/d and d/a converters for DSP system, Proc. 53rd IEEE International Midwest Symposium on Circuit and Systems, Seoul, South Korea, 2011.
- [A5.4] K. Wawryn, R. Suszyński, B. Strzeszewski, Current Mode Pipelined A/D Converter, Proceedings of IEEE Design & Technology of Integrated Systems, Tozeur, Tunisia, 2008.
- [A5.5] K. Wawryn, R. Suszyński, B. Strzeszewski, Low Power Low Voltage Current Mode Pipelined A/D Converters, Proceedings of International Conference on Computer, Electrical, and Systems Science, and Engineering, Tokyo, Japan, 2010, s. 5.
- [A5.6] K. Wawryn, R. Suszyński, B. Strzeszewski, Low Power Current Mode Pipelined A/D Converter, Proceedings of 52nd IEEE International Midwest Symposium on Circuits and Systems, Cancun, Mexico, 2009, s. 4.
- [A5.7] K. Wawryn, R. Suszyński, B. Strzeszewski, Low Power Current Mode Pipelined A/D Converter with 2.5-bit/stage and Digital Correction, Proceedings of 12th International Symposium on Integrated Circuits, Singapore, 2009, 4 s.
- [A5.8] K. Wawryn, R. Suszyński, B. Strzeszewski, Current Mode Pipelined A/D Converter, Proceedings of IEEE Design & Technology of Integrated Systems, Tozeur, Tunisia, 2008, s. 4.
- [A5.9] K. Wawryn, R. Suszyński, B. Strzeszewski, Prototype Current Mode Pipelined A/D Converter, Proceedings of 13th International Conference Mixed Design of Integrated Circuits and Systems, 2005.
- [A5.10] K. Wawryn, R. Suszyński, B. Strzeszewski, Current Mode Building Blocks for Pipelined A/D Converter, In proc. MIXDES'2004, Szczecin 2004, s. 353-356.

Pozostałe prace

- [5.1] O.A Adeniran, A. Demosthenous, An Ultra-Energy-Efficient Wide-Bandwidth Video Pipeline ADC Using Optimized Architectural Partitioning, IEEE Transactions on Circuits and Systems, (53), 2006, s. 2485-2497.
- [5.2] Hugo Hernandez, Wilhelmus Van Noije, Elkim Roa, Joao Navarro, A small area 8 bits 50 MHz CMOS DAC for Bluetooth transmitter, Analog Integrated Circuits and Signal Processing, Vol. 57, 2008, s. 69-77.
- [5.3] H. H. Cho, C. Y. Park, G. S. Yune et al., A 10-bit 210-MHz CMOS D/A converter for WLAN, in proc. 2004 Asia-Pacific Conference on Advanced System Integrated Circuits APASIC2004, 2004, s. 106-109.

- [5.4] B. Palomo, F. Munoz, R.G. Carvajal, J.R. Garcia and F. Marquez, An 8-bit 19MS/s low-power 0.35µm CMOS pipelined ADC for DVB-H, INTEGRATION, the VLSI Journal, (45), 2012, s. 222-227.
- [5.5] O.A. Horna, A 150 Mbps A/D and D/A conversion system, Comsat Technical Review, (2), 1972, s. 52-57.
- [5.6] Qi Yu, Xiang-zhan Wang, Ning Ning, Lin Tang, Hong-Bin Li and Mo-hua Yang, A 10-bit 100MSPS 0.35μm Si CMOS Pipeline ADC, Proceedings 7th International Conference on Solid-State and Integrated Circuits Technology, (2), 2004, s. 1523-1525.
- [5.7] P. Malcovati, L. Picolli, L. Crespi, F. Chaahoub and A. Baschirotto, A 90-nm CMOS, 8-bit pipeline ADC with 60-MHz bandwidth and 125-MS/s or 250-MS/s sampling frequency, Analog Integrated Circuits and Signal Processing, Vol. 64, 2010, s. 159-172.
- [5.8] J. Hu, N. Dolev, and B. Murmann, A 9.4-bit, 50-MS/s, 1.44-mW pipelined ADC using dynamic residue amplification, IEEE Symp. VLSI Circuits Dig. Tech. Papers, 2008, s. 216-217.
- [5.9] M. Yoshioka, M. Kudo, T. Mori and S. Tsukamoto, A 0.8 V 10 b 80 MS/s 6.5 mW pipelined ADC with regulated overdrive voltage biasing, IEEE ISSCC Dig. Tech. Papers, 2007, s. 452-453.
- [5.10] M. Boulemnakher, E. Andre, J. Roux, and F. Paillardet, A 1.2 V 4.5mW 10 b 100 MS/s pipeline ADC in a 65 nm CMOS, IEEE ISSCC Dig. Tech. Papers, 2008, s. 250-251.
- [5.11] Jiaoying Huang, Yigang He, Yichuang Sun, Hui Liu, Hui Yang, A 10-bit 200-MHz CMOS video DAC for HDTV applications, Analog Integrated Circuits and Signal Processing, Vol. 52, 2007, s. 133-138.
- [5.12] Jian Li, Xiaoyang Zeng, Jianyun Zhang, Lei Xie, Huan Deng and Yawei Guo, Design of an ADC for subsampling video applications, Analog Integrated Circuits and Signal Processing, Vol. 49, 2006, s. 303-312.
- [5.13] C.S.G. Conroy, D.W. Cline, P.R. Gray, An 8-b 85 MS/s parallel pipeline converter in 1-μm CMOS, IEEE J. of Solid-State Circuits, Vol. 28, No. 4, 1993.
- [5.14] Yuh-Shyan Hwang, Jiann-Jong Chen, Sing-Yen Wu, Lu-Po Liao and Chia-Chun Tsai, A new pipelined analog-to-digital converter using current conveyors, Analog Integrated Circuits and Signal Processing, Vol. 50, 2007, s. 213-220.
- [5.15] J. Li and F. Maloberti, *Pipeline of successive approximation converters with optimum power merit factor*, Analog Integrated Circuits and Signal Processing, Vol. 45, 2005, s. 211-217.

6. Metody projektowe – zastosowanie układów FPAA do szybkiego prototypowania przetworników a/c

6.1. Wprowadzenie

Szybki rozwój technologii VLSI umożliwia wykonywanie układów mieszanych (cyfrowych i analogowych) w jednej obudowie układu scalonego. Coraz wiekszy stopień integracji i upakowania powoduje, iż proces projektowania i ich produkcji, staje się bardziej pracochłonny i kosztowny. Większość narzędzi CAD jest przeznaczonych do projektowania systemów cyfrowych i zawiera moduły symulacji i testowania układów cyfrowych, które najczęściej mogą być wykorzystywane nieefektywnie albo wcale, do symulacji działania analogowych cześci układu scalonego. Jednocześnie funkcjonowanie układów analogowych przed ich wykonaniem jest zwykle symulowane i weryfikowane z wykorzystaniem programów takich jak SPICE, które nie są efektywne w procesie projektowania układów cyfrowych. Z tych powodów projektowanie i wykonanie prototypów systemów mieszanych jest trudne i obarczone możliwością popełnienia błędów. Dynamiczny rozwój układów reprogramowalnych wychodzi naprzeciw tym problemom umożliwiając szybsze i bardziej efektywne projektowanie układów mieszanych [6.1–6.4]. Jednym z rozwiazań tego problemu może być wykorzystanie układów reprogramowalnych do budowy prototypów projektowanych układów mieszanych i wstępnej ich weryfikacji. Cyfrowe układy reprogramowalne (CPLD i FPGA) są w chwili obecnej powszechnie stosowane do realizacji prototypowych aplikacji systemów cyfrowych [6.5-6.10] oraz produkcji krótkich serii produkcyjnych systemów cyfrowych, gdy nieopłacalne jest ponoszenie kosztów indywidualnego projektu lub ważne jest skrócenie czasu cyklu projektowego. Istotnym przyczynkiem zastosowania takich układów jest również możliwość rekonfiguracji systemów cyfrowych (w sprzęcie komputerowym i teleinformatycznym coraz częściej wymiana oprogramowania systemowego firmware wiąże się nie tylko z aktualizacją systemu operacyjnego, ale również z rekonfiguracją zasobów sprzętowych).

Układy reprogramowalne to nadal domena układów cyfrowych, ale pojawiły się również rozwiązania układów reprogramowalnych matryc analogowych (FPAA) o różnorodnej funkcjonalności. Mogą być one z powodzeniem wykorzystane do szybkiej i efektywnej realizacji prototypów układów analogowych [A6.1–A6.5, 6.11–6.16] oraz niektórych rodzajów układów mieszanych. Na rysunku 6.1 przedstawiono strukturę układu AN221E04 [6.17] wykorzystującego technologię przełączanych pojemności: cztery uniwersalne bloki CAB zbudowane ze wzmacniaczy operacyjnych (OA), banków pojemności, konfigurowalnych lokalnych połączeń i przełączników, uzupełnione układem zegarowym, sterowaniem, pamięcią konfiguracyjną, połączeniami globalnymi i układami wejścia - wyjścia (I/O).



Rys. 6.1. Struktura układu FPAA AN221E04; źródło: Anadigm – dane katalogowe układu AN221E04 [6.17]

Jak do tej pory nie produkuje się układów reprogramowalnych z analogowymi blokami funkcjonalnymi wykonanymi w technice prądowej. Z tego powodu, w prototypowaniu układowym można wykorzystać jedynie układy napięciowe. Traktując prototypowanie za pomocą reprogramowalnych matryc analogowych,
jako wyłącznie jeden z etapów projektowania rzeczywistych układów, można jednak zastosować tą metodę jako efektywne narzędzie do modelowania funkcjonalnego, w szczególności wielostopniowych układów przetwarzających sygnały. Nawet realizując projekt układu analogowego w technice prądowej, możemy dokonać prototypowania jego funkcjonalności posługując się odpowiednikami układów prądowych, zrealizowanymi w technice napięciowej. Podobne postępujemy realizując model matematyczny np. w programie MATLAB, za pomocą którego możemy symulować działanie układów sterowania, przetwarzającego w rzeczywistości sygnały napięciowe lub prądowe. Nie uzyskamy w ten sposób oszacowania parametrów projektowanego układu, ale możemy sprawdzić poprawność jego koncepcji, funkcjonalność, zależności czasowe pomiędzy sygnałami w kolejnych stopniach, a także inne istotne właściwości.

W rozdziale tym opisano zastosowanie reprogramowalnej matrycy analogowej do szybkiej i dającej dobre rezultaty weryfikacji projektowanych układów mieszanych, dedykowanych do wykonania w układach VLSI. Metoda wykorzystuje reprogramowalne układy analogowe FPAA, do konfiguracji i kolejnych rekonfiguracji prototypu budowanego systemu analogowocyfrowego. Zaletą wykorzystania FPAA w procesie prototypowania systemów mieszanych, takich jak przetworniki a/c, jest szybki czas realizacji i mały koszt.

6.2. Prototypowanie algorytmicznego przetwornika a/c

Jako pierwszy przykład wykorzystania matryc analogowych FPAA, przedstaprototypu algorytmicznego przetwornika analogowowiono realizacie cyfrowego o rozdzielczości 6 bitów [A6.1, A6.2]. Zasada działania algorvtmicznego przetwornika a/c polega na cyklicznym korygowaniu wartości napięcia wejściowego v_{IN} i detekcji jego znaku. Ogólny schemat blokowy przetwornika przedstawiono na rysunku 6.2, a algorytm jego funkcjonowania na rysunku 6.3. W trakcie konwersji, w każdym cyklu przetwarzania, sprawdzany jest znak napięcia wejściowego v_{IN} . Jeżeli v_{IN} jest mniejsze od zera to wyjście cyfrowe a_i przyjmuje wartość "0", a w przypadku odwrotnym przyjmuje wartość "1". Następnie wartość napięcia v_{IN} jest mnożona przez 2 i sumowana z napieciem referencyjnym $(-1)^{a_i} V_{REF}$, otrzymana wartość jest wykorzystywana w następnym cyklu konwersji. Napięcie resztkowe v_R jest ponownie podawane na wejście układu jako sygnał wejściowy w następnym cyklu przetwarzania. Otrzymane w ten sposób napięcie v_R jest wyrażone wzorem:

$$v_{Ri} = v_{INi+1} = 2v_{INi} + (-1)^{a_{N-i}} V_{REF}$$
(6.1)

dla i = 1, 2, ... N-1

W pierwszym cyklu przetwarzania, w pierwszym stopniu (i = 1), otrzymywany

jest najstarszy bit wyjściowego sygnału cyfrowego przetwornika, czyli bit N-1 ($a_{N-1} - MSB$). Procedura ta jest powtarzana, aż do uzyskania wartości N bitów, jako ostatni otrzymywany jest najmłodszy bit sygnału cyfrowego ($a_0 - LSB$).



Rys. 6.2. Schemat blokowy algorytmicznego przetwornika a/c



Rys. 6.3. Diagram opisujący działanie algorytmicznego przetwornika a/c

Rys. 6.4. Schemat i-tego stopnia przetwornika

6.2.1. Struktura i algorytm działania prototypowanego algorytmicznego przetwornika a/c

Na rysunku 6.2 przedstawiono schemat blokowy *N*-stopniowego przetwornika algorytmicznego, działającego według diagramu z rysunku 6.3. Najstarszy bit wyjściowego sygnału cyfrowego MSB (a_{N-1}) jest obliczany w pierwszym stopniu jednobitowego przetwornika analogowo-cyfrowego (1-bit ADC). Zgodnie z otrzymaną wartością, jednobitowy przetwornik cyfrowo-analogowy (1-bit DAC) pierwszego stopnia generuje sygnał analogowy o wartości równej (-1)^{*ai*} V_{REF} (czyli V_{REF} dla $a_{N-1} = 0$ oraz $-V_{REF}$ dla $a_{N-1} = 1$). Napięcie na wyjściu 1-bit DAC jest sumowane z wartością napięcia na wyjściu wzmacniacza operacyjnego, mnożącego sygnał wejściowy przez 2. Otrzymane napięcie resztkowe v_{Ri} jest podawane, jako napięcie wejściowe następnego stopnia. Struktura pierwszych N-1 stopni jest identyczna. Ostatni N-ty stopień zbudowany jest

wyłącznie jako jednobitowy ADC, na którego wyjściu otrzymuje się najmłodszy bit wyjściowego sygnału cyfrowego LSB (a_0).

Działanie *i*-tego stopnia realizującego konwersję dla pojedynczego bitu przedstawiono na rysunku 6.4. Stopień zbudowany jest z komparatora napięcia, dwóch źródeł napięcia referencyjnego, przełączanego klucza sterowanego z wyjścia komparatora, wzmacniacza napięciowego o wzmocnieniu równym 2 i sumatora. Komparator pracuje jako 1-bitowy ADC i na jego wyjściu otrzymujemy pojedynczy bit sygnału cyfrowego. Jednocześnie steruje on kluczem w 1-bitowym DAC, przełączającym napięcia referencyjne $-V_{REF}$ lub V_{REF} na wejściu sumatora.



Rys. 6.5. Układowa realizacja algorytmicznego przetwornika a/c o rozdzielczości 6 bitów, wykorzystująca połączenie 3 FPAA

6.2.2. Realizacja układowa algorytmicznego przetwornika a/c o rozdzielczości 6 bitów

Na rysunku 6.5 jest przedstawiona realizacja układowa algorytmicznego przetwornika a/c o rozdzielczości 6 bitów. Układ ten został zaprojektowany i zrealizowany z trzech połączonych układów AN221E04 [6.17]. Otrzymany przetwornik przebadano, a następnie zmierzono jego parametry i charakterystyki. Na rysunku 6.6 przedstawiono napięcie resztkowe na wyjściach pierwszych trzech stopni, w odpowiedzi na wejściowy sygnał sinusoidalny, którego amplituda wynosi $\pm V_{REF}$, a częstotliwość 10 kHz.



Rys. 6.6. Napięcia resztkowe przetwornika o rozdzielczości 6 bitów; przedstawiono kolejno: sygnał wejściowy, napięcia resztkowe 5, 4 i 3 stopnia



Rys. 6.7. Wyjścia cyfrowe przetwornika; przedstawiono kolejno: wyjście cyfrowe 5, 4, 3, 2, 1 i 0 stopnia



Rys. 6.8. Przebieg analogowy odtworzony z 6-bitowego cyfrowego sygnału wyjściowego

Natomiast na rysunku 6.7, sygnały cyfrowe z wyjść poszczególnych stopni, reprezentujące wartości poszczególnych bitów wyjściowego sygnału cyfrowego przetwornika, a na rysunku 6.8 przebieg analogowy odtworzony z sygnału cyfrowego. Analizując parametry i przebieg wartości odtworzonego sygnału na

rysunku 6.8, można zauważyć, iż podstawowym problemem w funkcjonowaniu takiego przetwornika są nieciągłości występujące w przebiegach napięć resztkowych na wyjściach poszczególnych stopni. Z tego powodu wymagane są odpowiednie czasy opóźnień, tak aby niepożądane impulsy pochodzące od tych nieciągłości zostały wygaszone i nie wpływały na wartości sygnałów wejściowych komparatorów kolejnych stopni. Właściwość ta powoduje, iż przetwornik może być stosowany jedynie dla sygnałów wejściowych o stosunkowo małych częstotliwościach.

6.2.3. Realizacja układowa ulepszonej wersji algorytmicznego przetwornika a/c o rozdzielczości 6 bitów z wyjściowym kodem cyfrowym Gray'a



Rys. 6.9. Realizacja układowa przetwornika a/c w kodzie Gray'a o rozdzielczości 6 bitów

Zastosowanie reprogramowalnej matrycy FPAA umożliwia szybkie zaprojektowanie i przebadanie ulepszonej struktury przetwornika i porównanie otrzymanych parametrów. W celu zapobieżenia występowaniu nieciągłości w napięciach resztkowych poszczególnych stopni, zaproponowano ulepszoną strukturę algorytmicznego przetwornika a/c przedstawioną na rysunku 6.9. Zmiany poszczególnych stopni przetwornika zrealizowano wykorzystując możliwości rekonfiguracji bloków układu AN221E04. Budowa pojedynczego stopnia ulepszonej wersji przetwornika jest przedstawiona na rysunku 6.10. W zaproponowanym układzie wartość napięcia wejściowego v_{IN} jest mnożona przez $2(-1)^{a_i}$ i sumowana z napięciem referencyjnym V_{REF} . W ten sposób powstaje napięcie resztkowe v_R podawane na wejście następnego stopnia przetwornika (napięcie v_{IN} kolejnego stopnia) w celu obliczenia kolejnego bitu wyjściowego sygnału cyfrowego. Dla tego układu napięcie resztkowe kolejnych stopni może być wyrażone zależnością:

$$v_{Ri} = v_{INi+1} = 2(-1)^{a_{N-i}} v_{INi} + V_{REF}$$
(6.2)

dla i = 1, 2, ... N-1



 Eine Control Schup Measure Unlikes Help
 1007.4M

 Full Marks
 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help

 P 2001411 in the stapped.
 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help

 P 200146 with the stapped.
 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help

 P 200146 with Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help

 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help

 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help

 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help

 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help

 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help
 Image: Schup Measure Unlikes Help

 Image: Schup Measure Unlikes Help
 <

Rys. 6.10. Schemat i-tego stopnia dla kodu Gray'a

Rys. 6.11. Napięcia resztkowe przetwornika; przedstawiono kolejno: sygnał wejściowy, napięcia resztkowe 5, 4 i 3 stopnia

Układ przedstawiony na rysunku 6.9 jest algorytmicznym przetwornikiem a/c o rozdzielczości 6 bitów, którego wyjścia cyfrowe reprezentują wynik w kodzie Gray'a. Tak zaprojektowany przetwornik przebadano porównując jego parametry z tradycyjnym rozwiązaniem. Na rysunku 6.11 przedstawiono napięcia resztkowe na wyjściach pierwszych trzech stopni w odpowiedzi na wejściowy sygnał sinusoidalny, o amplitudzie $\pm V_{REF}$ i częstotliwości 10 kHz. Natomiast na rysunku 6.12 sygnały cyfrowe z wyjść poszczególnych stopni, reprezentujące w kodzie Gray'a, wartości poszczególnych bitów wyjściowego sygnału cyfro-

wego. Przebieg sygnału analogowego odtworzony z sygnału cyfrowego, przedstawiony na rysunku 6.13, obrazuje, iż problem nieciągłości napięć resztkowych pomiędzy stopniami został znacząco zredukowany w odniesieniu do tradycyjnego przetwornika algorytmicznego.



Rys. 6.12. Wyjścia cyfrowe przetwornika pracującego w kodzie Gray'a; przedstawiono kolejno: wyjście cyfrowe 5, 4, 3, 2, 1 i 0 stopnia



Rys. 6.13. Przebieg analogowy odtworzony z 6-bitowego cyfrowego sygnału wyjściowego, dla przetwornika pracującego w kodzie Gray'a

6.3. Prototypowanie potokowego przetwornika a/c ze stopniami 1,5 bita

W rozdziale 5 szczegółowo omówiono modyfikację potokowych przetworników a/c polegająca na wykorzystaniu stopni o rozdzielczości 1,5 oraz 2,5 bita. Matryca FPAA może być wykorzystana również do prototypowania takiego rodzaju przetwornika. Na rysunku 6.14 przedstawiono schemat blokowy trzystopniowego potokowego przetwornika a/c ze stopniami 1,5 bita. Najstarszy bit wyjściowego sygnału cyfrowego a_3 (MSB) jest obliczany w układzie korekcji cyfrowej, na podstawie dwubitowej wartości cyfrowej z drugiego stopnia oraz ewentualnego przeniesienia z pierwszego stopnia. Z kolei bit a_2 jest obliczany na podstawie dwubitowej wartości cyfrowej z pierwszego stopnia oraz ewentualnego przeniesienia z zerowego (ostatniego) stopnia. Dla ostatniego stopnia nie jest stosowana korekcja cyfrowa i na jego wyjściu cyfrowym otrzymujemy dwa najmłodsze bity $a_1 a_0$. W pierwszych dwóch stopniach, otrzymujemy na wyjściu 1,5-bitowego ADC 3-wartościową postać cyfrową (00, 01, 10). Jest ona przetwarzana w układzie 1,5-bitowego DAC ponownie na wartość analogową i odejmowana od sygnału wejściowego stopnia. Tak otrzymana różnica sygnałów analogowych jest mnożona przez współczynnik dwa. Wynikowe napięcie resztkowe v_{Ri} jest podawane, jako napięcie wejściowe następnego stopnia. Budowa początkowych dwóch stopni jest jednakowa. Ostatni stopień zbudowany jest jako dwubitowy ADC, na którego wyjściu otrzymuje się dwa najmłodsze bity wyjściowego sygnału cyfrowego $(a_1 a_0)$.



Rys. 6.14. Potokowy przetwornik a/c ze stopniami o rozdzielczości 1,5 bita

Działanie pierwszego i drugiego stopnia, realizującego konwersję cyfrową dla pojedynczego bitu, przedstawiono na rysunku 6.15. Stopień zbudowany jest z dwóch komparatorów dla poziomów sygnału wejściowego równych odpowiednio: $-V_{REF}/4$ oraz $V_{REF}/4$, dwóch źródeł napięcia referencyjnego, sumatora i wzmacniacza napięciowego o wzmocnieniu równym 2. Każdy komparator porównuje sygnał wejściowy z odpowiednim progiem napięcia referencyjnego. Na wyjściach komparatorów otrzymujemy dwubitowy (ale trójwartościowy) sygnał cyfrowy. Ostatni stopień jest dwubitowym przetwornikiem ADC i wykorzystuje trzy komparatory.

Stopień i





6.3.1. Struktura i algorytm działania prototypowanego potokowego przetwornika a/c ze stopniami 1,5 bita

Na rysunku 6.16 jest przedstawiony algorytmiczny przetwornik a/c o rozdzielczości 4 bitów. Układ ten został zaprojektowany i zrealizowany z trzech połączonych układów AN221E04.



Rys. 6.16. Układowa realizacja potokowego przetwornika a/c ze stopniami 1,5 bita wykorzystująca połączenie 3 FPAA

Następnie zmierzono parametry i charakterystyki otrzymanego przetwornika. Na rysunku 6.17 przedstawiono napięcie resztkowe na wyjściach pierwszych dwóch stopni, w odpowiedzi na wejściowy sygnał sinusoidalny, którego amplituda wynosi $\pm V_{REF}$, a częstotliwość 10 kHz. Natomiast na rysunku 6.18, sygnały cyfrowe z wyjść poszczególnych stopni, reprezentujące wartości poszczególnych bitów wyjściowego sygnału cyfrowego przetwornika, a na rysunku 6.19 przebieg analogowy odtworzony z sygnału cyfrowego. Układ korekcji cyfrowej redukujący trójwartościowe sygnały cyfrowe pierwszego i drugiego stopnia do pojedynczych bitów poprawia parametry przetwornika. Analizując przebieg odtworzonego sygnału na rysunku 6.19, uzyskuje się mniejsze zniekształcenia niż dla struktury potokowej bez nadmiarowych 1,5-bitowych stopni oraz korekcji cyfrowej.



Rys. 6.17. Napięcia resztkowe potokowego przetwornika a/c ze stopniami 1,5 bita; przedstawiono kolejno: sygnał wejściowy, napięcia resztkowe 2, 1 i 0 stopnia





Rys. 6.18. Wyjścia cyfrowe potokowego przetwornika a/c ze stopniami 1,5 bita; przedstawiono kolejno: wyjście cyfrowe 2-go, 1-go, 0-go stopnia



6.4. Prototypowanie przetwornika a/c z modulatorem Sigma-Delta

Kolejnym przykładem zastosowania szybkiej metody prototypowania jest realizacja przetwornika a/c z modulatorem Sigma-Delta ($\Sigma\Delta$) [A6.1–A6.5]. Omówione zostaną prototypy trzech przetworników: z modulatorem trzeciego rzędu, trzeciego rzędu ze sprzężeniem wyprzedzającym oraz dwustopniowy trzeciego rzędu. Dla tych przetworników pokazano strukturę układu oraz wyniki pomiarów.

Modulatory $\Sigma\Delta$ są przełączanymi układami analogowymi wykorzystującymi nadpróbkowanie. W układach tych wejściowy sygnał analogowy jest przetwarzany w 1-bitowy cyfrowy przebieg wyjściowy. Struktura układów zawiera szereg połączonych integratorów, objętych pętlą sprzężenia zwrotnego. Ilość integratorów określa rząd modulatora. Schematy blokowe badanych modulatorów przedstawiono na rysunkach: trzeciego rzędu – 6.20, trzeciego rzędu ze sprzężeniem wyprzedzającym – 6.21 oraz dwustopniowego trzeciego rzędu – 6.22.



Rys. 6.20. Schemat blokowy modulatora $\Sigma\Delta$ trzeciego rzędu



Rys. 6.21. Schemat blokowy modulatora $\Sigma\Delta$ trzeciego rzędu ze sprzężeniem wyprzedzającym (feed-forward)



Rys. 6.22. Schemat blokowy dwustopniowego modulatora $\Sigma\Delta$ trzeciego rzędu

Dzięki właściwościom kształtowania szumu, przetwornik $\Sigma\Delta$ realizuje konwersję sygnału analogowego na cyfrowy oraz usuwa szum kwantyzacji z pasma sygnału. Dokładny opis działania i sposób kształtowania szumów w przetwornikach a/c z modulatorami $\Sigma\Delta$ omówiono w rozdziale 4.

156

Trzy różne architektury przetwornika a/c z modulatorem $\Sigma\Delta$ trzeciego rzędu, przedstawione na rysunkach 6.20-6.22, zaprojektowano i zaimplementowano z wykorzystaniem FPAA - Anadigm Development Board, z trzema układami AN221E04. Prototypy przetworników zostały skonfigurowane przy następujących parametrach układu: częstotliwość próbkowania $f_s = 4$ MHz, pasmo BW = 20 kHz, częstotliwość sygnału wejściowego $f_{in} = 1$ kHz oraz współczynnik nadpróbkowania OSR = 200. Prototypy zostały zaprojektowane w programie AnadigmDesigner2, a następnie zaprogramowane na układach reprogramowalnych FPAA. Układ został skonfigurowany, następnie pomierzono jego właściwości i parametry. Pomiary przeprowadzono dla dwóch sygnałów wejściowych sinusoidalnego i liniowo narastającego. Amplituda napięciowych sygnałów wejściowego z wyjściowego sygnału cyfrowego stosując bikwadratowy filtr dolnoprzepustowy.

6.4.1. Prototyp przetwornika a/c z modulatorem Sigma-Delta trzeciego rzędu



Rys. 6.23. Realizacja układowa prototypu przetwornika a/c z modulatorem $\Sigma\Delta$ trzeciego rzędu

Na rysunku 6.23 przedstawiono implementację prototypu przetwornika a/c z modulatorem $\Sigma\Delta$ trzeciego rzędu, z wykorzystaniem układów FPAA. Podczas weryfikacji, prototyp był rekonfigurowany, zmieniono wstępnie obliczone współczynniki jego struktury, tak aby otrzymać jego najlepsze parametry.

Zmierzone oscylogramy sygnałów wyjściowych dla sinusoidalnego i liniowo narastającego sygnału wejściowego, o amplitudzie zmieniającej się w zakresie $\pm 3V$, są przedstawione odpowiednio na rysunkach 6.24 i 6.25. Sygnał wyjściowy uzyskano w obu przypadkach wykorzystując zaimplementowany u układzie FPAA, analogowy bikwadratowy filtr dolnoprzepustowy [6.17].



Rys. 6.24. Oscylogramy dla przetwornika a/c z modulatorem ΣΔ trzeciego rzędu; przedstawiono kolejno: sygnał wejściowy, cyfrowy sygnał wyjściowy, sygnał analogowy po decymacji i rekonstrukcji oraz widmo częstotliwościowe sygnału wyjściowego; a) dla sinusoidalnego sygnału wejściowego; b) dla liniowo narastającego sygnału wejściowego



Rys. 6.25. Obliczone widmo sygnału przetwornika a/c z modulatorem ΣΔ trzeciego rzędu dla pobudzenia sygnałem sinusoidalnym o częstotliwości 1 kHz

Parametry dynamiczne zaprojektowanego i zrealizowanego prototypu przetwornika zostały określone poprzez pomiar widma sygnału cyfrowego na jego wyjściu. Zarejestrowano dane pomiarowe, a następnie przeprowadzono analizę FFT w programie MATLAB. Pomiar został przeprowadzony dla sinusoidalnego sygnału wejściowego o amplitudzie 1 Vpp i częstotliwości 1 kHz. Uzyskane widmo sygnału wyjściowego przetwornika przedstawiono na rysunku 6.25. Analiza składowych częstotliwościowych widma gęstości mocy pozwoliła wyznaczyć podstawowe parametry dynamiczne przetwornika. Pomierzony SNDR dla pasma sygnału wynosi 62,3 dB, co odpowiada 10 bitom rozdzielczości przetwornika a/c.

6.4.2. Prototyp przetwornika a/c z modulatorem Sigma-Delta trzeciego rzędu ze sprzężeniem wyprzedzającym



Rys. 6.26. Realizacja układowa prototypu przetwornika ΣΔ trzeciego rzędu ze sprzężeniem wyprzedzającym

Parametry dynamiczne przetwornika a/c z modulatorem $\Sigma\Delta$ zależą od poziomu szumu kwantyzacji występującego w paśmie sygnału. O sposobie kształtowania szumu kwantyzacji decyduje struktura układu. Dzięki zastosowaniu reprogra-

mowalnych układów FPAA można szybko zmodyfikować strukturę i parametry prototypowanych przetworników a/c oraz zweryfikować właściwości zmodyfikowanego projektu. Aby uzyskać lepsze parametry dynamiczne przetwornika oraz poprawić jego stabilność, w kolejnym kroku, zaprojektowano przetwornik a/c z modulatorem trzeciego rzędu, ze sprzężeniem wyprzedzającym. Realizacja układowa przetwornika jest przedstawiona na rysunku 6.26

Na rysunku 6.27 przedstawiono zmierzone oscylogramy sygnałów wyjściowych dla sinusoidalnego i liniowo narastającego sygnału wejściowego, o amplitudzie $\pm 3V$. Sygnał wyjściowy uzyskano w obu przypadkach wykorzystując analogowy bikwadratowy filtr dolnoprzepustowy.



Rys. 6.27. Oscylogramy dla przetwornika Σ∆ trzeciego rzędu ze sprzężeniem wyprzedzającym; przedstawiono kolejno: sygnał wejściowy, cyfrowy sygnał wyjściowy, sygnał analogowy po decymacji i rekonstrukcji oraz widmo częstotliwościowe sygnału wyjściowego; dla sygnału wejściowego: a) sinusoidalnego; b) liniowo narastającego



Rys. 6.28. Obliczone widmo sygnału przetwornika Σ∆ trzeciego rzędu ze sprzężeniem wyprzedzającym; dla pobudzenia sygnałem sinusoidalnym o częstotliwości 1 kHz

Modulator $\Sigma\Delta$ trzeciego rzędu ze sprzężeniem wyprzedzającym ma analogiczną charakterystykę kształtowania szumu kwantyzacji trzeciego rzędu, lecz jego zaletą jest poprawa stabilności układu. Badany prototyp przetwornika został pomierzony, a następnie w programie MATLAB obliczono widmo FFT, przed-stawione na rysunku 6.28. Na jego podstawie uzyskano parametry dynamiczne. Dla sinusoidalnego sygnału wejściowego o amplitudzie 1 Vpp i częstotliwości 1 kHz uzyskano SNDR = 71,8 dB, co odpowiada 12 bitom rozdzielczości przetwornika a/c.



Rys. 6.29. Realizacja układowa prototypu dwustopniowego przetwornika $\Sigma\Delta$ trzeciego rzędu

6.4.3. Prototyp przetwornika a/c z dwustopniowym modulatorem Sigma-Delta trzeciego rzędu

Innym sposobem poprawy kształtowania szumu kwantyzacji jest zastosowanie wielostopniowej struktury modulatora $\Sigma\Delta$, przy której układ jest również stabilniejszy. Prototyp dwustopniowego modulatora $\Sigma\Delta$ trzeciego rzędu został zaimplementowany w układach FPAA. Pokazany na rysunku 6.29 modulator realizuje kształtowanie szumu w sygnale wyjściowym rzędu trzeciego, przy stabilności układu rzędu drugiego. Dzięki połączeniu dwóch stopni, uzyskuje się usunięcie z cyfrowego sygnału wyjściowego szumu kwantyzacji pierwszego stopnia oraz przesunięcie szumu kwantyzacji drugiego stopnia w kierunku wyż-szych częstotliwości.



Rys. 6.30. Oscylogramy dla dwustopniowego przetwornika ΣΔ trzeciego rzędu; przedstawiono kolejno: sygnał wejściowy, cyfrowy sygnał wyjściowy oraz sygnał analogowy po decymacji i rekonstrukcji, widmo częstotliwościowe sygnału wyjściowego; a) dla sinusoidalnego sygnału wejściowego; b) dla liniowo narastającego sygnału wejściowego



Rys. 6.31. Obliczone widmo sygnału dwustopniowego przetwornika ΣΔ trzeciego rzędu dla pobudzenia sygnałem sinusoidalnym o częstotliwości 1 kHz

Przykładowe wyniki pomiarów dwustopniowego przetwornika $\Sigma\Delta$ trzeciego rzędu są przedstawione na rysunku 6.30, który przedstawia odpowiedź układu na pobudzenie sinusoidalnym oraz liniowo narastającym sygnałem wejściowym. Amplituda napięcia wejściowego zawiera się w zakresie ±3V, a częstotliwość wynosi 1kHz. Rekonstrukcję sygnału analogowego z cyfrowego sygnału wyjściowego uzyskano bikwadratowym filtrem dolnoprzepustowym. Na rysunku 6.34 pokazano widmo częstotliwościowe, uzyskane dla sinusoidalnego sygnału wejściowego o amplitudzie 1 Vpp i częstotliwości 1 kHz uzyskano. Obliczony SNDR = 70,4 dB, co odpowiada 11 bitom rozdzielczości przetwornika a/c.

6.4.4. Wyniki pomiarów prototypów przetwornika a/c z modulatorem Sigma-Delta

Architektura przetwornika	Standardowy trzeciego rzędu	Ze sprzężeniem wyprzedzającym trzeciego rzędu	Dwustopniowy trzeciego rzędu
Współczynnik nadpróbkowania	200	200	200
Częstotliwość próbkowania	4 MHz	4 MHz	4 MHz
Pasmo	20 kHz	20 kHz	20 kHz
SFDR	68,4 dB	76,2 dB	75,8 dB
SNDR	62,3 dB	71,8 dB	70,4 dB
Rozdzielczość	10 bitów	12 bitów	11 bitów

Tabela 6.1. Zestawienie pomierzonych parametrów prototypów przetworników a/c

Zestawienie uzyskanych parametrów i porównanie właściwości kształtowania szumu kwantyzacji dla zbadanych trzech prototypów przetworników a/c z modulatorami trzeciego rzędu: ze sprzężeniem zwrotnym, ze sprzężeniem wyprzedzającym oraz dwustopniowego, przedstawione są w tabeli 6.1. Dla badanych trzech modulatorów zarejestrowano wyjściowy sygnał cyfrowy i obliczono widmo gęstości mocy, przeprowadzając analizę FFT w programie MATLAB. Rysunki 6.26, 6.30 oraz 6.34 przedstawiają widmo FFT uzyskane dla pomiaru sinusoidalnego sygnału wejściowego o częstotliwości 1 kHZ, częstotliwości próbkowania 4 MHz, paśmie sygnału 20 kHz oraz współczynniku OSR = 200. Analiza widma pozwoliła na szacunkową ocenę jakości kształtowania szumu przez badane modulatory. Na rysunkach uwidocznione jest pożądane przesunięcie szumu kwantyzacji w kierunku wyższych częstotliwości, leżących poza pasmem sygnału wejściowego. Ta jakościowa ocena znajduje potwierdzenie w obliczonych wartościach parametrów SFDR oraz SNDR. Modulator trzeciego rzędu ma SNDR = 62,3 dB (10 bitów), trzeciego rzędu ze sprzężeniem wyprzedzającym SNDR = 71,8 dB (12 bitów) oraz dwustopniowy trzeciego rzędu SNDR = 70,4 dB (11 bitów). Wyniki pomiarów pokazały, że przetwornik a/c z modulatorem $\Sigma\Delta$ ze sprzężeniem wyprzedzającym ma najlepsze właściwości. Przetwornik z modulatorem dwustopniowym jest gorszy pod względem parametru SNDR o 1,4 dB, lecz taka struktura jest stabilniejsza i mniej wrażliwa na zmianę wartości elementów układu modulatora.

6.5. Wnioski

W rozdziale omówiono szybki i wiarygodny sposób weryfikacji projektowanego układu mieszanego, dedykowanego do wykonania w układach VLSI. Metoda wykorzystuje reprogramowalne układy analogowe FPAA AN221E04 do konfiguracji i kolejnych rekonfiguracji budowanego systemu mieszanego. Dzięki zastosowaniu układów reprogramowalnych wstępny projekt może być wielokrotnie modyfikowany (ulepszany) w celu uzyskania pożądanych parametrów i właściwości. Uzyskiwane rezultaty są wynikami pomiarowymi o dużej wiarygodności, a kolejne etapy projektu weryfikuje się w sposób efektywny pod względem nakładu pracy projektowej, kosztu i czasu realizacji projektu.

Przedstawiono trzy przykłady realizacji prototypów:

- algorytmicznego przetwornika a/c o rozdzielczości 6 bitów, w kilku wersjach układowych,
- potokowego przetwornika a/c,
- przetwornika analogowo-cyfrowego $\Sigma\Delta$.

Dla omawianych rozwiązań zostały przedstawione otrzymane parametry i charakterystyki, wskazując na możliwości wykorzystania tej metody w procesie weryfikacji i optymalizacji parametrów projektowanych układów. Przedstawione przykłady realizacji prototypu obrazują duże możliwości zastosowania reprogramowalnych analogowych układów FPAA, w procesie projektowania, implementacji układowej i szybkiej weryfikacji układów mieszanych. Może to znaleźć zastosowanie dla szerokiej gamy układów analogowych przewidzianych do integracji w mieszanych układach scalonych VLSI.

6.6. Literatura

Publikacje z udziałem autora

- [A6.1] R. Suszyński, K. Wawryn, Rapid prototyping of algorithmic A/D converters based on FPAA devices, Bulletin of the Polish Academy of Sciences-Technical Sciences, Volume 61(3), 2013.
- [A6.2] R. Suszyński, K. Wawryn, Rapid prototyping of algorithmic analog digital converters based on FPAA devices, Proceedings of International Conference Mixed Design of Integrated Circuits and Systems, Gdynia, 2006, 4 s.
- [A6.3] R. Suszyński, K. Wawryn, *Rapid Prototyping of Third-Order Sigma-Delta A/D Converters*, International Journal of Electronics and Telecommunications, Vol. 59, No. 1, 2013.
- [A6.4] R. Suszyński, K. Wawryn, *Prototyping of higher order* $\Sigma \Delta$ *ADC based on implementation of a FPAA*, Proceedings of the International Conference on Signal and Electronics Systems ICSES, 2012.
- [A6.5] R. Suszyński, K. Wawryn, FPAA Prototyping of ΣΔ Analog Digital Converters, Proceedings of 13th IEEE International Conference on Electronics, Circuits and Systems, Nicea, Francja, 2006, 4s.

Pozostałe prace

- [6.1] P. Śniatała, J. Pierzchlewski, A. Handkiewicz, A CPLD based development board for mixed signal chip testing, 14th International Conference on Mixed Design of Integrated Circuits and Systems, Ciechocinek, 2007, s. 492-495.
- [6.2] L.S. Milor, A tutorial Introduction to Research on Analog and Mixed-Signal Circuit Testing, IEEE Transactions on Circuits and Systems – II: Analog and Digital Signal Processing, Vol. 45(10), 1998, s. 1389-1407.
- [6.3] M. Burns and G.W. Roberts, An Introduction to Mixed-Signal IC Testing and Measurement, Oxford University Press, 2000.
- [6.4] R. Sarahuja, V. Barcons, L. Balado and J. Figueras, *Experimental Test Bench for Mixed-Signal Circuits Based on FPAA Devices*, Proceedings of the XVIII Conference on Design of Circuit and Integrated System DCIS, 2003, s. 344-349.
- [6.5] R. Langwieser, C. Angerer and A.L. Scholtz, A UHF Frontend for MIMO Applications in RFID, Proceedings of IEEE Radio and Wireless Symposium, 2010, s. 124-127.
- [6.6] C. Angerer, R. Langwieser, *Flexible Evaluation of RFID System Parameters using Rapid Prototyping*, Proceedings of the third IEEE International Conference on RFID, Orlando, USA, 2009, s. 42-47.
- [6.7] P. Murphy, F. Lou, A. Sabharwal and J.P. Frantz, An FPGA based rapid prototyping platform for MIMO systems, Proceedings of the Thirty-Seventh Asilomar Conference on Signals, Systems and Computers, Vol. 1, 2010, s. 900-904.
- [6.8] M. Rice, B. Nelson, M. Padilla and J. Havican, *On the Use of Rapid Prototyping for Designing PCM/FM Demodulators in FPGAs*, Proceedings of the 2010 International Telemetering Conference (ITC), 2010, 10s.
- [6.9] M. Rupp, A. Burg and E. Beck, *Rapid prototyping for wireless designs: the five-ones approach*, Journal of Signal Processing, Vol. 83 (7), 2003, s. 1427-1444.

- [6.10] J. Van den Keybus, B. Bolsens, K. De Brabandere and J. Driesen, Using a fully digital rapid prototype platform in grid-coupled power electronics applications, Proceedings of the IEEE Workshop on Computers in Power Electronics, 2004, s. 102-111.
- [6.11] R. Caponetto, A. Di Mauro, L. Fortuna and M. Frasca, *Field Programmable Analog Array to Implement a Programmable Chua's Circuit*", International Journal of Bifurcation and Chaos, Vol. 15, No. 5, 2005, s. 1829-1836.
- [6.12] P.I. Yakimov, E.D. Manolov and M.H. Hristov, *Design and Implementation of a V-f Converter Using FPAA*, IEEE 27th International Spring Seminar on Electronics Technology, 2004, s. 126-129.
- [6.13] T. Roberts, Using Field-Programmable Analog to Build Adaptable RFID Readers, RF and Microwave Technology for Design Engineers – RFDESIGN, 2004, s. 44-48.
- [6.14] T.R. Balen, A.Q. Andrade, F. Azais, M. Lubaszewski and M. Renovell, *Applying the Oscillation Test Strategy to FPAA's Configurable Analog Blocks*, Journal of Electronic Testing: Theory and Applications, Vol. 21, 2005, s. 135-146.
- [6.15] L. Znamirowski, O.A. Palusinski and S.B.K. Vrudhula, Programmable Analog/Digital Arrays in Control and Simulation, Analog Integrated Circuits and Signal Processing, Vol. 39, 2004, s. 55-73.
- [6.16] T. Slaughter, Fault Injection Emulation for Field Programmable Analog Arrays, Southwest Symposium on Mixed-Signal Design, SSMSD 2003, Las Vegas, Nevada, 2003, s.212-216.
- [6.17] AN121E04 Field Programmable Analog Arrays User Manual, Anadigm, Inc, 2003.

7. Zastosowanie prototypu przetwornika a/c w przetwarzaniu obrazów 2D

7.1. Wprowadzenie

W ramach prac badawczych prowadzonych w Katedrze Systemów Cyfrowego Przetwarzania Sygnałów, Wydziału Elektroniki i Informatyki, Politechniki Koszalińskiej, powstał system cyfrowego przetwarzania dwuwymiarowych sygnałów wizyjnych w czasie rzeczywistym [7.1–7.8], wykorzystujący interfejsy analogowo-cyfrowe zbudowane z prototypowych przetworników potokowych. Został on zbudowany zgodnie z ideą przedstawioną na schemacie funkcjonalnym z rysunku 7.1, ilustrującą poszczególne etapy przetwarzania i obróbki sygnałów [A7.1–A7.3]. Z uwagi na przewidywany, zaawansowany sposób przetwarzania sygnałów wizyjnych, przyjęto, iż na wejściu systemu udostępnione będą nieskompresowane sygnały wideo. Wymagało to opracowania własnych układów interfejsów odczytujących sygnały wizyjne z eksperymentalnej matrycy CCD oraz układów dopasowujących. Do tego celu wykorzystano potokowe przetworniki a/c, ze stopniami 1,5 bita oraz 2,5 bita [A7.4–A7.6], których konstrukcja została omówiona szerzej w rozdziale 5.



Rys. 7.1. Schemat blokowy systemu DSP 2D wraz z interfejsami, tor przetwarzania analogowych sygnałów wejściowych i wyjściowych [A7.1]

Wykonane przetworniki a/c, wraz z konwerterami dopasowującymi sygnały do systemu cyfrowego, zapewniły wymaganą szybką transmisję sygnałów, umożliwiając zastosowanie całego systemu do przetwarzania obrazów pozyskiwanych w czasie rzeczywistym. Do budowy doświadczalnego systemu DSP 2D zostały wybrane układy FPGA [7.9, 7.10], z uwagi na eksperymentalny charakter układu, możliwości przeprogramowania jego funkcji oraz szybki proces prototypowania. Testowy system DSP 2D zrealizowano z wykorzystaniem układu FPGA Stratix II GX, w zestawie uruchomieniowym Audio Video Development Kit. Elementy systemu DSP 2D zostały opracowane w języku Verilog. Jako blok wejściowy systemu wykonano odpowiednie interfejsy dopasowujące oraz bezstratne filtry cyfrowe przetwarzające wstępnie pozyskiwane obrazy [7.11–7.14]. System cyfrowy został zaimplementowany za pomocą środowiska programowego w multimedialnym zestawie uruchomieniowym ADSP-BF561 EZ-KIT Lite, z rozszerzeniem EZ-Extender. Dla tak opracowanych układów, przeprowadzono optymalizację, symulację funkcjonalną i zaprogramowano w strukturze systemu reprogramowalnego Stratix II [A7.1–A7.3].

Tor sygnałowy badanego systemu DSP został przetestowany na rzeczywistych obrazach obiektów astronomicznych, rejestrowanych w autonomicznym stanowisku do astrofotografii obiektów dalekiego kosmosu. Zaimplementowanie systemu w rzeczywistym środowisku badawczym, z jednej strony stanowiło duże wyzwanie dla testowanych rozwiązań z uwagi na wymagające parametry aparatury badawczej, a z drugiej strony stanowiło ciekawą propozycję ich praktycznego zastosowania. W trakcie rejestracji obrazów obiektów astronomicznych został przetestowany zaimplementowany tor przetwarzania analogowych sygnałów wejściowych. Zbadano i pomierzono jego parametry, a uzyskane wyniki badań przedstawiono w dalszej części rozdziału.

7.2. Realizacja prototypu potokowego przetwornika a/c dedykowanego do cyfrowego systemu przetwarzania obrazów 2D

Potokowy przetwornik a/c, stanowiący układ wejściowy do badanego systemu DSP, zrealizowano wykorzystując eksperymentalny układ scalony ASIC [A7.4–A7.6, 7.15–7.17], zawierający podstawowe prądowe układy funkcjonalne: układy opóźniające sygnał o okres przetwarzania, przetworniki ADC o rozdzielczości 1,5, 2, 2,5 i 3 bitów, przetworniki DAC o rozdzielczości 1,5 i 2,5 bita, wielokrotne oraz skalowane źródła prądowe. ASIC został zaprojektowany tak, aby umożliwić rekonfigurację połączeń pomiędzy blokami wewnętrznymi układu i uzyskać wielostopniowe potokowe przetworniki a/c, ze stopniami 1,5 lub 2,5 bita. Wykonany prototypowy układ scalony przedstawiono na rysunku 7.2.

Na rysunku 7.3 przedstawiono układ testowy wykorzystany do wstępnej weryfikacji opracowanych przetworników a/c, zawierający układy dopasowujące i przetworniki prąd/napięcie. Podstawowe charakterystyki i parametry przetworników pomierzono w stanowisku pomiarowym na rysunku 7.4.

W trakcie badań systemu DSP wykorzystano dwa prądowe potokowe przetworniki a/c o rozdzielczości 9 bitów: pierwszy, posiadający 7 stopni o rozdzielczości 1,5 bita i jeden stopień o rozdzielczości 2 bitów oraz drugi posiadający 3 stopnie o rozdzielczości 2,5 bita i jeden stopień o rozdzielczości 3 bitów. Podczas badań elementów systemu, przetestowano oba przetworniki testowym sygnałem sinusoidalnym o częstotliwości 24,95 MHz, dla którego dokonano ewaluacji parametrów i charakterystyk tych przetworników.



Rys. 7.2. Układ scalony ASIC zawierający prototypowe przetworniki a/c [A7.4.]



Rys. 7.3. Układ testowy do pomiarów prototypów przetworników a/c



Rys. 7.4. Stanowisko badawcze do pomiarów prototypowych przetworników a/c

Jako ilustrację działania przetworników zamieszczono oscylogramy pokazujące wyniki pomiarów sygnałów cyfrowych oraz analogowych prądów resztkowych z wyjść poszczególnych stopni. Dla przetwornika ze stopniami o rozdzielczości 1,5 bita są one przedstawione na rysunku 7.5, a dla przetwornika ze stopniami o rozdzielczości 2,5 bita na rysunku 7.6.



Rys. 7.5. Oscylogramy ilustrujące odpowiedź 9-bitowego przetwornika a/c ze stopniami o rozdzielczości 1,5 bita na sinusoidalny sygnał wejściowy; a) przedstawione są kolejno: sygnał wejściowy oraz wyjścia cyfrowe 2, 1 i 0 stopnia; b) przedstawione są kolejno: prądy resztkowe 2, 1 i 0 stopnia oraz sygnał wejściowy



Rys. 7.6. Oscylogramy przedstawiające odpowiedź 9-bitowego przetwornika a/c ze stopniami o rozdzielczości 2,5 bita na sinusoidalny sygnał wejściowy;
a) przedstawione są kolejno: sygnał wejściowy oraz wyjścia cyfrowe 2, 1 i 0 stopnia;
b) przedstawione są kolejno: prądy resztkowe 2, 1 i 0 stopnia oraz sygnał wejściowy

W trakcie wstępnych badań pomierzono charakterystyczne parametry przetworników: maksymalny błąd różnicowy nieliniowości (DNL) i maksymalny całkowy błąd nieliniowości (INL), a także widmo FFT i parametr szumowy SNDR. Zostały one przedstawione w rozdziale 5 i porównane z parametrami znanych z literatury struktur [A7.4–A7.6].

7.3. Stanowisko pomiarowe do testowania systemu cyfrowego przetwarzania obrazów w czasie rzeczywistym

Autonomiczne stanowisko do astrofotografii obiektów dalekiego kosmosu [A7.7, A7.8] przedstawiono na rysunku 7.7. Zostało ono wykorzystane do implementacji toru sygnałowego prototypowego układu DSP 2D, zastosowanego do systemu sterowania montażem paralaktycznym teleskopu śledzącego przemieszczenie fotografowanych obiektów oraz sprzężonym z nim astrografem do fotografii długoczasowej.

W celu pozyskania obrazów fotografowanych obiektów, do dalszego przetworzenia przez system DSP 2D, przebudowano eksperymentalny przetwornik CCD, przystosowując go do montażu w torze optycznym teleskopu. Odpowiednia tuleja z mikroruchami pozwoliła na precyzyjne umieszczenie matrycy CCD przetwornika w ognisku głównym teleskopu, co warunkuje otrzymanie ostrych i niezniekształconych obrazów. Wykorzystany eksperymentalny przetwornik CCD pozwala na dostęp do wszystkich sygnałów wyjściowych oraz sterujących, co umożliwia pozyskiwanie dowolnych ramek lub ich fragmentów, w dowolnych sekwencjach czasowych. Obudowany eksperymentalny przetwornik CCD pokazano na rysunku 7.8.



Rys. 7.7. Autonomiczne stanowisko do astrofotografii obiektów głębokiego kosmosu, wykorzystane do testowania toru sygnałowego systemu DSP 2D, przetwarzającego w czasie rzeczywistym sygnały wizyjne rejestrowanych obrazów astronomicznych [A7.7]



Rys. 7.8. Przetwornik CCD umieszczony w tulei umożliwiającej jego montaż w torze optycznym teleskopu. Układ posiada wyprowadzone sygnały pozwalające na uniwersalne sterowanie odczytem wartości poszczególnych pikseli przetwornika [A7.2]

W celu sprawdzenia pozyskiwania obrazów z eksperymentalnego przetwornika CCD zamontowano go w refraktorze achromatycznym Celestron 80 mm/800 mm na montażu azymutalnym, rysunek 7.9. Seria zdjęć dziennych pozwoliła potwierdzić prawidłową pracę przetwornika CCD i dobrą jakość pozyskiwa-nych obrazów.



Rys. 7.9. Stanowisko pomiarowe do testów sterowania i odczytu obrazów z przetwornika CCD zamontowanego na refraktorze Celestron (80 mm/1000 mm) [A7.2.]

Tor sygnałowy opracowanego systemu DSP 2D dedykowanego do sterowania prowadzeniem teleskopu w fotografii długoczasowej, zamontowany w autonomicznym astrografie obiektów dalekiego kosmosu, przedstawia rysunek 7.10. Refraktor z lewej strony – Orion 80 mm/600 mm jest teleskopem prowadzącym. W jego ognisku głównym zamontowano eksperymentalny przetwornik CCD pozwalający na rejestrowanie sekwencji obrazów. Przetwornik CCD jest sterowany z układu reprogramowalnego CPLD, na którym zrealizowano tor sygnałowy badanego systemu DSP 2D. Tak zbudowane stanowisko pomiarowe wykorzystano do fotografii rzeczywistych obiektów dalekiego kosmosu i weryfikacji działania opracowanego sytemu prowadzenia teleskopu. Prawy refraktor - SkyWatcher 80ED 80mm/600mm jest teleskopem rejestrującym zdjęcia długoczasowe. Dołaczona jest do niego kamera monochromatyczna SBIG 2000XM z kołem filtrowym. Teleskop ten jest mechanicznie sprzężony z teleskopem prowadzącym i wykonuje identyczne ruchy śledząc te same obiekty, w ten sam sposób i z ta sama dokładnościa. Taka konfiguracja dwóch teleskopów pozwala na jednoczesne prowadzenie montażu (teleskop prowadzący) i fotografie długoczasowa (drugi teleskop). Konfiguracja refraktora SkyWatcher

i kamery SBIG 2000XM pozwala na pomiar błędów prowadzenia teleskopów, czyli ocenę funkcjonowania i wydajności opracowanego systemu DSP 2D.



Rys. 7.10. Tor sygnałowy testowanego system DSP 2D zainstalowany w autonomicznym stanowisku do astrofotografii obiektów dalekiego kosmosu [A7.1]

7.4. Wyniki działania systemu dla rzeczywistych obrazów obiektów astronomicznych

W badanym systemie DSP 2D zaimplementowano nowy wydajny algorytm filtracji dwuwymiarowej [A7.9–A7.14, 7.18–7.37] oraz metody splotu pozwalające wykryć i oszacować przesunięcie obiektu. Do wstępnej filtracji sygnałów z przetwornika CCD zastosowano następującą funkcję transmitancji 2D:

$$\boldsymbol{H}(z_h, z_v) = \begin{bmatrix} 1 & z_h^{-1} & z_h^{-2} \end{bmatrix} \begin{bmatrix} -1 & -1 & -1 \\ -1 & 8 & -1 \\ -1 & -1 & -1 \end{bmatrix} \begin{bmatrix} 1 \\ z_v^{-1} \\ z_v^{-2} \end{bmatrix}$$
(7.1)

Funkcja transmitancji 2D została rozłożona na dwie kaskadowe funkcje transmitancji 1D:

$$\boldsymbol{H}(\boldsymbol{z}_h, \boldsymbol{z}_v) = \boldsymbol{H}_h(\boldsymbol{z}_h)\boldsymbol{H}_v(\boldsymbol{z}_v) \tag{7.2}$$

gdzie $H_h(z_h)$ oraz $H_v(z_v)$ są odpowiednio wektorami poziomym i pionowym. Następnie, bezstratna macierz 1D została wyznaczona zarówno dla $H_h(z_h)$ oraz $H_v(z_v)$ i złożona kaskadowo, aby obliczyć macierz Rosser'a [7.38–7.40].

$$\boldsymbol{R} = \begin{bmatrix} \boldsymbol{A} & \boldsymbol{B} \\ \boldsymbol{C} & \boldsymbol{D} \end{bmatrix}$$
(7.3)

gdzie *A*, *B*, *C* oraz *D* oznaczają macierze opisane w przestrzeni Roesser'a definiując model 2D systemu liniowego:

$$\begin{cases} \begin{bmatrix} x^{h}(i+1,j) \\ x^{v}(i,j+1) \end{bmatrix} = \boldsymbol{A} \begin{bmatrix} x^{h}(i,j) \\ x^{v}(i,j) \end{bmatrix} + \boldsymbol{B}u(i,j) \\ y(i,j) = \boldsymbol{C} \begin{bmatrix} x^{h}(i,j) \\ x^{v}(i,j) \end{bmatrix} + \boldsymbol{D}u(i,j) \end{cases}$$
(7.4)

gdzie *i* oraz *j* są odpowiednio całkowitymi wartościami współrzędnej pionowej oraz poziomej,

 $x^{h}(i,j) \in \mathbf{R}^{h}$ oraz $x^{v}(i,j) \in \mathbf{R}^{v}$ są odpowiednio poziomym i pionowym wektorem stanu,

 $u(i,j) \in \mathbf{R}^m$ oraz $y(i,j) \in \mathbf{R}^l$ są odpowiednio wektorem wejściowym i wyjściowym,

A, B, C, D macierzami wielkości rzeczywistych o rozmiarach $r \times r$, $r \times l$, $k \times r$ and $k \times l$.

Natomiast, macierz Roesser'a przyjmuje postać:

$$\boldsymbol{R} = \prod_{i=1}^{I} \boldsymbol{R}_{s_i, t_i} \left(\phi_i \right) \boldsymbol{E} \prod_{j=1}^{J} \boldsymbol{R}_{u_j, w_j} \left(\varphi_j \right)$$
(7.5)

gdzie

$$E = \begin{bmatrix} \pm 1 & 0 & \dots & 0 \\ 0 & \pm 1 & \dots & 0 \\ \dots & \dots & \dots & \dots \\ 0 & 0 & \dots & \pm 1 \end{bmatrix}$$

oraz

$$R_{s,t}(\phi) = \begin{cases} s & t \\ 1 & & & \\ & \ddots & & 0 \\ & \cos \phi & -\sin \phi \\ & & 1 \\ & & & \ddots \\ & & \sin \phi & \cos \phi \\ 0 & & & 1 \\ & & & \ddots \\ & & & & \ddots \\ & & & & & \ddots \end{pmatrix}$$

n jest liczbą rotatorów, R_i oznacza *i-ty* rotator pomiędzy węzłami k_i oraz l_i , z kątem rotacji ϕ_i . Otrzymana struktura rotatorów przedstawiona jest na rysunku 7.11 ze współczynnikami zebranymi w tabeli 7.1.



Rys. 7.11. Struktura rotatorów realizująca funkcję transmitancji opisaną wzorem (7.1) [A7.3]

i	S_{i}	t_i	$\cos \phi_i$	$sin\phi_i$
1	7	8	0,9565423	0,2915937
2	6	7	0,6666110	-0,7454058
3	6	8	-0,9425083	0,3341829
4	5	6	0,9675418	-0,2527109
5	5	7	0,8346250	0,5508186
6	4	5	permutacja	
7	5	6	0,6063263	0,7952159
8	5	7	0,6659007	0,7460404
9	3	5	permutacja	
10	5	6	0,9050405	-0,4253254
11	5	7	0,8139804	-0,5808924
12	5	8	0,8506508	0,5257311
13	2	5	permutacja	
14	5	6	0,4122407	0,9110750
15	5	8	0,9794110	-0,2018765
16	1	5	permutacja	
17	5	6	0,9584580	0,2852336
18	5	8	-0,8425352	0,5386413

Tabela 7.1. Wartości współczynników dla odpowiednich rotatorów [A7.3]

Fotografując obiekty dalekiego kosmosu, szczególnie dla ogniskowych większych niż 200 mm, niezbędne jest prowadzenie teleskopu podczas rejestracji poszczególnych obrazów. Na rysunku 7.12 przedstawiono obrazy galaktyki spiralnej M109 w gwiazdozbiorze Wielkiej Niedźwiedzicy. Pierwsza fotografia została wykonana podczas poprawnego prowadzenia teleskopu, zgodnie z obrotem sfery niebieskiej, odpowiadającego położeniu geograficznemu teleskopu oraz położeniu obiektu na niebie. Gwiazdy są okrągłymi punktami o wielkości proporcjonalnej do ich względnej jasności. Galaktyka ma wyraźne jądro i struktury ramion. Natomiast druga fotografia została zarejestrowana podczas błędnego prowadzenia teleskopu, niedostosowanego do obrotu sfery niebieskiej. W tym przypadku ruch teleskopu niezgodny co do prędkości i/lub kierunku ruchu nieba powoduje, że obrazy gwiazd są rozmyte i mają wydłużony kształt. Również obraz galaktyki jest rozmyty, jądro i struktura ramion jest mniej wy-raźna.

W celu oszacowania błędów w prowadzeniu teleskopu wybiera się gwiazdę (lub ich grupę), dla której wyznacza się położenie na kolejnych rejestrowanych obrazach. W trakcie obliczania pozycji gwiazdy prowadzącej (lub grupy gwiazd), system prowadzenia dokonuje cyfrowego przetworzenia sygnałów z przetwornika CCD umieszczonego w torze optycznym teleskopu. Sygnał wejściowy jest poddawany redukcji szumu i wyostrzany, co pozwalana na dokładniejsze wyznaczenie pozycji gwiazdy prowadzącej. Pozycja ta jest obliczana na kolejnych obrazach i porównywana z zapamiętanym obrazem referencyjnym. Otrzymana wartość i kierunek przesunięcia są następnie wykorzystywane do generowania sygnałów wyjściowych korygujących prowadzenie teleskopu.



Rys. 7.12. Fotografia przedstawiająca obiekt 109 w katalogu Messier'a (M109), galaktyka spiralna w gwiazdozbiorze Wielkiej Niedźwiedzicy; refraktor SW 80ED, 80mm/600mm; autor: Robert Suszyński; a) zdjęcie zrobione podczas poprawnego prowadzenia teleskopu; b) zdjęcie zrobione podczas błędnego prowadzenia teleskopu [A7.2]

Układ zbudowany z rotatorów z rysunku 7.11 został zaimplementowany w układzie CPLD – Altera MAX II. Na kolejnych rysunkach zaprezentowano wyniki cyfrowego przetwarzania pozyskiwanych obrazów referencyjnych. Obszar o wielkości 64x64 piksele, zaznaczony na rysunku 7.12a mniejszym kwadratem, został wybrany jako obszar referencyjny, dla którego przeprowadzono

badanie systemu DSP 2D, zaimplementowanego jako układ prowadzenia astrografu. Na rysunku 7.13a przedstawiono obraz referencyjny przed filtracją cyfrową. Fragment ten uwidacznia sześć jasnych gwiazd, niestety mocno zaszumionych światłem jednego z ramion galaktyki M109. Przesunięcie tych sześciu gwiazd jest obliczane na kolejnych obrazach otrzymywanych z przetwornika CCD. Kolejne obrazy są rejestrowane co kilka sekund, jeżeli nastąpi przesunięcie gwiazd prowadzących, montaż przemieszczający teleskop wymaga korekty. Wartość i kierunek przesunięcia obliczany jest z wykorzystaniem splotu cyfrowego kolejnych obrazów z obrazem referencyjnym.



Rys. 7.13. Obraz wybranego obszaru referencyjnego ze zdjęcia z rysunku 7.12 a) wyróżniające się 6 jasnych gwiazd; b) obraz otrzymany po filtracji przez eksperymentalny układ DSP, zastosowano redukcję szumu i wyostrzenie [A7.2]

Na rysunku 7.13b pokazano obraz sześciu gwiazd prowadzących po przetworzeniu cyfrowym. Gwiazdy są tym razem reprezentowane jako małe jasne punkty (grupy pojedynczych pikseli). Obraz po redukcji szumu oraz wyostrzeniu pozwala na obliczenie przesunięcia obiektów pomiędzy kolejnymi obrazami z dużo większą precyzją.

Jeżeli montaż paralaktyczny błędnie prowadzi teleskopy to na kolejnych obrazach zostanie obliczone przesunięcie gwiazdy prowadzącej [7.41, 7.42]. Wykorzystywana jest do tego operacja splotu cyfrowego kolejnego obrazu i obrazu referencyjnego. Współrzędne maksymalnej wartości otrzymanej macierzy wyznaczają wartość i kierunek przesunięcia obiektów. Zgodnie z tymi wartościami generowane są sygnały wyjściowe korygujące prowadzenie montażu paralaktycznego. Na rysunku 7.14a przedstawiono wynik splotu cyfrowego dla prezentowanych obrazów z rysunków 7.12a i 7.13b.



Rys. 7.14. a) obraz kontrolny otrzymany w wyniku splotu cyfrowego obrazu referencyjnego i kolejnego obrazu. Położenie najjaśniejszego punktu odpowiada przesunięciu fotografowanych obiektów na kolejnych obrazach. b) graficzna reprezentacja wyznaczenia przesunięcia obiektów metodą splotu cyfrowego. Współrzędne maksymalnej wartości wykresu odpowiadają wartości przesunięcia obiektów na kolejnych obrazach [A7.2]



Rys. 7.15. Wykresy błędów prowadzenia montażu paralaktycznego dla osi rektascensji (RA) i deklinacji (DEC) uzyskane z DSP analizującego obrazy z teleskopu prowadzącego

Dokładność tej metody jest zilustrowana na rysunku 7.14b. Współrzędne piku wykresu o najwyższej wartości wyznaczają przesunięcie obiektów pomiędzy kolejnymi obrazami.

Rysunek 7.15 przedstawia test funkcjonalny zaprojektowanego systemu DSP D2 dedykowanego do sterowania montażem paralaktycznym teleskopu śledzącego przemieszczenie fotografowanych obiektów oraz sprzężonego z nim astrografem do fotografii długoczasowej. Wykorzystując drugi teleskop sprzężony z teleskopem prowadzącym i wyposażony w kamerę SBIG 2000XM dokonano pomiarów błędów generowanych przez napęd montażu.

Dynamiczny obraz otrzymany z kamery SBIG 2000XM poddano obróbce statystycznej, wyznaczając wartości chwilowe i charakterystyczne błędów prowadzenia w obu osiach montażu paralaktycznego. Otrzymano wartości błędów maksymalnych dla osi RA: -5,084 arcsec +5,389 arcsec oraz dla osi DEC: -2,748 arcsec +3,065 arcsec. Przy tej klasie montażu (EQ6) uzyskane wartości świadczą o prawidłowej pracy montażu i jego poprawnym prowadzeniu przez zaprojektowany układ DSP 2D.

7.5. Wnioski

Przebadanie toru sygnałowego systemu cyfrowego przetwarzania dwuwymiarowych sygnałów wizyjnych, w autonomicznym stanowisku do astrofotografii obiektów dalekiego kosmosu, pozwoliło na wszechstronne przebadanie prototypów potokowych przetworników a/c ze stopniami o rozdzielczości 1,5 oraz 2,5 bita [A7.4–A7.6]. Pomiary i otrzymane wyniki zostały wykonane na rejestrowanych rzeczywistych obrazach, w trakcie sesji obserwacyjnej. Zgodnie z założeniami system przetwarzał obrazy w czasie rzeczywistym i był mało wrażliwy na błędy przetwarzania. Do weryfikacji opracowanych układów wykorzystano zdalnie sterowany astrograf. System posłużył do wykrywania ruchu obiektów w obrazach uzyskiwanych w czasie obserwacji obiektów na niebie za pomocą kamery wyposażonej w matryce CCD. Prace te pozwoliły na przetestowanie nowych rozwiązań układowych potokowych przetworników a/c oraz badania eksperymentalne szybkości przetwarzania, rozdzielczości i innych parametrów tych przetworników.

Implementacja szybkich prądowych przetworników a/c w autonomicznym stanowisku do astrofotografii obiektów dalekiego kosmosu była przedmiotem badań autora zrealizowanych w ramach projektu badawczego polskosingapurskiego nr: 8 T11b 044 15, pt.: "New synthesis algorithm developments and hardware implementations for image processing applied to medical diagnostic and communication systems". Podczas badań eksperymentalnych nowych struktur szybkich prądowych, potokowych przetworników a/c, potwierdzono ich przydatność do zastosowań w przetwarzaniu obrazów w czasie rzeczywistym. Zastosowanie potokowej struktury przetworników a/c daje szereg korzyści, ponieważ pozwala ominąć ograniczenia struktur fleszowych dotyczące zarówno liczby komparatorów, jak i poboru mocy ze źródła zasilania. Dodatkowo przetworniki pracujące w trybie prądowym są szczególnie atrakcyjne z uwagi na obniżenie napięcia źródła zasilania. Badane przetworniki o rozdzielczości

9 bitów, przy częstotliwości konwersji 30 MHz, charakteryzują się mocą pobieraną ze źródła zasilania mniejszą od 20 mW, stosunkiem sygnału do szumu SNDR większym od 50 dB, oraz różnicowymi i całkowymi błędami nieliniowości odpowiednio mniejszymi od 0,7 i 0,8 LSB. Uzyskanie tych parametrów przez badane przetworniki pozwala na zastosowanie tego rozwiązania do przetwarzania sygnałów stosowanych w wielu dziedzinach (np. w diagnostyce medycznej oraz systemach telekomunikacyjnych).

7.6. Literatura

Publikacje z udziałem autora

- [A7.1] R. Suszyński, K. Wawryn, R. Wirski, 2D image processing for autoguiding system, in Proc. IEEE 54th International Midwest Symposium on Circuits and Systems MWSCAS, Seoul, 2011.
- [A7.2] R. Suszyński, K. Wawryn, R. Wirski, 2D Image Processing for DSO Astrophotography, Proceedings of International Conference on Computer, Electrical, and Systems Science, and Engineering, Tokyo, Japan, 2010, s. 5.
- [A7.3] R. Suszyński, K. Wawryn, R. Wirski, Przetwarzanie sygnałów 2D w identyfikacji i śledzeniu przemieszczających się obiektów, Przegląd Elektrotechniczny, R. 87, nr 10, 2011.
- [A7.4] K. Wawryn, R. Suszyński, Low power 9-bit pipelined A/D and 8-bit selfcalibrated D/A converters for a DSP system, Bulletin of the Polish Academy of Sciences-Technical Sciences, Vol. 61(4), 2013.
- [A7.5] K. Wawryn, R. Suszyński and B. Strzeszewski, A low power digitally error corrected 2.5 bit per stage pipelined a/d converter using current-mode signals, Journal of Circuits, Systems and Computers, Vol. 20, 2011, s. 29-43.
- [A7.6] K. Wawryn, R. Suszyński and B. Strzeszewski, A low power low voltage current-mode a/d and d/a converters for DSP system, Proc. 53rd IEEE International Midwest Symposium on Circuit and Systems, Seoul, South Korea, 2011.
- [A7.7] Robert Suszyński, A Stand-alone station and DSP method for deep sky objects astrophotography, International Journal of Electronics and Telecommunications, Vol. 60, No. 2, 2013.
- [A7.8] R. Suszyński, Stand-alone station for deep space objects astrophotography, in Proc. of the IEEE 52nd Int. Midwest Symposium on Circuits and Systems, Cancun, Mexico, 2009, s. 4.
- [A7.9] R. Suszyński, K. Wawryn, An Improvement of Stars' Centroid Determination using PSF-fitting Method, Proceedings of the International Conference on Signals and Electronic Systems ICSES, 2014.
- [A7.10] M. Dziębowski, R. Suszyński, Automatyzacja rozpoznania i identyfikacji obiektów astronomicznych na zdjęciach głębokiego kosmosu, Elektronika: konstrukcje, technologie, zastosowania, Zeszyt: 10, 2013.
- [A7.11] R. Suszyński, M. Dziębowski, Wyznaczanie pozycji obiektu prowadzącego w systemach rejestrujących obrazy DSO, Wiadomości Elektrotechniczne, R. 80, nr 10, 2012.
- [A7.12] R. Suszyński, Convolution Method for CCD Images Processing, Proceedings of 52nd IEEE International Midwest Symposium on Circuits and Systems, Cancun, Mexico, 2009, s. 4.
- [A7.13] R. Suszyński, Digital Processing of CCD Images for Auto-guiding Astrophotography System, Proceedings of 9th International Conference on Signal Processing, Beijing China, 2008, s.4.
- [A7.14] R. Suszyński, M. Dziębowski, Wyznaczanie pozycji obiektu prowadzącego w systemach rejestrujących obrazy DSO, Wiadomości Elektrotechniczne, 2012, s. 43-46.

Pozostałe prace

- [7.1] A. Materka, P. Strumiłło, *Wstęp do komputerowej analizy obrazów*, Politechnika Łódzka, 2009.
- [7.2] J. Woźnicki, *Podstawowe techniki przetwarzania obrazu*, WKiŁ Warszawa 1996.
- [7.3] A. Handkiewicz, Two-dimensional switched capacitor filter design system for real-time image processing, IEEE Trans. Circ. Syst. for Video Technology, 1(3), 1991, s. 241-246.
- [7.4] P. Pawłowski, K. Borowczyk, T. Marciniak, A. Dąbrowski, System CCTV do automatycznego śledzenia obiektów w czasie rzeczywistym, Elektronika- konstrukcje, technologie, zastosowania, miesięcznik naukowo-techniczny, nr 3, 2010, s. 71-75.
- [7.5] P. Pawłowski, K. Borowczyk, T. Marciniak, A. Dąbrowski, *Real-Time Object Tracking Using Motorized Camera*, IEEE SPA 2009, Algorithms, Architectures, Arrangements and Applications, Poznań, 2009, s. 110-115.
- [7.6] W. Jendernalik, J. Jakusz, G. Blakiewicz, S. Szczepański, CMOS implementation of an analogue median filter for image processing in real time, Bulletin of the Polish Academy of Sciences, Technical Sciences, Vol. 61, No. 3, 2013, s. 725-730.
- [7.7] W. Jendernalik, G. Blakiewicz, J. Jakusz, S. Szczepański, A nine-input 1.25 mW, 34 ns CMOS analog median filter for image processing in real time, Analog Integrated Circuits and Signal Processing, Vol. 76(2), 2013, s. 233-243.
- [7.8] A. Ryszko, K. Wiatr, An assessment of FPGA suitability for implementation of real-time motion estimation, Euromicro Symposium on Digital Systems Design (DSD 2001): Warszawa, 2001, s. 364-367.

- [7.9] M. Wielgosz, E. Jamro, D. Żurek, K. Wiatr, FPGA Implementation of the Selected Parts of the Fast Image Segmentation, 19th International Symposium on Methodologies for Intelligent Systems, Vol. 390, Warsaw, 2011, s. 203-216.
- [7.10] A. Ryszko, K. Wiatr, Motion estimation operation implemented in FPGA chips for real-time image compression, 2nd International Symposium on Image and Signal Processing and Analysis (ISPA 2001), Pula, Croatia, 2001, s. 399-404.
- [7.11] W. Jendernalik, J. Jakusz, G. Blakiewicz, R. Piotrowski, S. Szczepański, CMOS realisation of analogue processor for early vision processing, Bull. Polish Academy of Sciences Tech. Sci., 59(2), 2011, s. 141-147.
- [7.12] W. Jendernalik, J. Jakusz, G. Blakiewicz, R. Piotrowski, S. Szczepanski, Analog CMOS processor for early vision processing with highly reduced power consumption, 20th European Conf. on Circuits Theory and Design (ECCTD), 2011, s. 745-748.
- [7.13] J. Jakusz, W. Jendernalik, G. Blakiewicz, R. Piotrowski, S. Szczepański, Ultra low power analogue CMOS vision chip, Przegląd Elektrotechniczny, nr 10, 2011, s. 88-91.
- [7.14] P.C. McGuire, D.G. Sandler, M.L. Hart, and T.A. Rhoadarmer, Adaptive optics: neural networks wavefront sensing, reconstruction, and prediction, in the Proceedings of the 194th W. E. Heracus Seminar, 1998.
- [7.15] W. Jendernalik, G. Blakiewicz, A. Handkiewicz, M. Melosik, *Analogue CMOS ASICs in Image Processing Systems*, Metrology and Measurement Systems, Vol. 20, No. 4, 2013, s. 613–622.
- [7.16] M. Naumowicz, M. Melosik, P. Katarzyński, A. Handkiewicz, Automation of CMOS technology migration illustrated by RGB to YCrCb analogue converter, Opto-Electronics Review, Vol. 21(3), 2013, s. 326-331.
- [7.17] W. Jendernalik, G. Blakiewicz, A. Handkiewicz, M. Melosik, *Analogue CMOS ASICs in image processing systems*, Metrology and Measurement Systems, Vol. 20, No. 4, 2013, s. 613-622.
- [7.18] Kazimierz Wiatr, Akceleracja obliczeń w systemach wizyjnych, WNT, 2003.
- [7.19] W. Jendernalik, G. Blakiewicz, J. Jakusz, S. Szczepański, R. Piotrowski, An Analog Sub-Miliwatt CMOS Image Sensor with Pixel-Level Convolution Processing. IEEE Trans. Circuits Syst. I, 60(2), 2013, s. 279-289.
- [7.20] E. Jamro, K. Wiatr, Constant coefficient convolution implemented in FPGAs, Joint Meeting of the 28th EUROMICRO Conference/EUROMICRO Symposium on Digital System Design, Dortmund, Germany, 2002, s. 291-298.
- [7.21] K. Wiatr, E. Jamro, *Implementation of multipliers in FPGA structures*, IEEE 2nd International Symposium on Quality Electronic Design (ISQED 2001) Location: San Jose, CA, 2001, s. 415-420.
- [7.22] E. Jamro, K. Wiatr, Convolution operation implemented in FPGA structures for real-time image processing, 2nd International Symposium on Image and Signal Processing and Analysis (ISPA 2001), Pula, Croatia, 2001, s. 417-422.
- [7.23] E. Jamro, K. Wiatr, *Implementation of convolution operation on general purpose processors*, 27th Euromicro Conference, Warszawa, 2001, s. 410-417.

- [7.24] E. Jamro, K. Wiatr, FPGA implementation of addition as a part of the convolution, Euromicro Symposium on Digital Systems Design (DSD 2001), Warszawa, 2001, s. 458-465.
- [7.25] E. Jamro, K. Wiatr, *Constant coefficient multiplication in FPGA structures*, 26th Euromicro Conference: Maastricht, Netherlands, 2000, s. 252-259.
- [7.26] E. Jamro, K. Wiatr, Genetic programming in FPGA implementation of addition as a part of the convolution, Euromicro Symposium on Digital Systems Design (DSD 2001), Warszawa, 2001, s. 466-473.
- [7.27] S. Thomas, T. Fusco, A. Tokovinin, M. Nicolle, V. Michau, and G. Rousset, *Comparison of centroid computation algorithms in a Shack-Hartmann sensor*, Monthly Notices of the Royal Astronomical Society 371, 2006, s. 323-336.
- [7.28] K.L. Baker and M.M. Moalem, *Iteratively weighted centroid of Shack-Hartmann wave-front sensors*, Opt. Express 15, 2007, s. 5147-5159.
- [7.29] L.A. Poyneer, D.W. Palmer, K.N. LaFortune, and B. Bauman, *Experimental results for correlation-based wave-front sensing*, SPIE Advanced Wavefront Control 5894, 58940N, 2005.
- [7.30] Vyas, M.B. Roopashree, and B.R. Prasad, *Centroid detection by Gaussian pattern matching in adaptive optics*, International Journal of Computer Applications, Vol. 1, No. 26, 2010, s. 30-36.
- [7.31] R.J. Noll, Zernike polynomials and atmosphere turbulences, JOSA Vol. 66 No. 3, 1976, s. 207-211.
- [7.32] C. Berghi, A. Canedese, and A. Masiero, *Atmospheric turbulence prediction: a pca approach*, in Proc. of the IEEE 46th Conference on Decision and Control, 2007, s. 572-577.
- [7.33] B.D. Jeffs and J.C. Christou, Blind bayesian restoration of adaptive optics telescope images using generalized gaussian markov random field models, in the Proc. of the SPIE, Vol. 3353: Conference on Adaptive Optics and Telescope Systems, 1998.
- [7.34] Wei Zhang, Zhiguo Jiang, Haopeng Zhang, Jianwei Luo, Optical Image Simulation System for Space Surveillance, in Proc. of the IEEE 26th Int. Parallel and Distributed Processing Symposium, 2012.
- [7.35] C. Li, Y. Zhang, C. Zheng, X. Hu, Implementing High-performance Intensity Model with Blur Effect on GPUs for Large-scale Star Image Simulation, in Proc. of Int. Conference on Image and Graphics, 2013.
- [7.36] Richard Szeliski, Computer Vision, Algorithms and Applications, Springer-Verlag London Limited, 2011.
- [7.37] Chang-song Li, Sheng-zhen Jin, *The Implement of High Speed Correlation Tracking Algorithm Based on FPGA in Space Solar Telescope*, in Proc. of 8th International Conference on Signal Processing, 2006.
- [7.38] K. Wawryn, R. Wirski, and Bogdan Strzeszewski, Implementation of Finite Impulse Response Systems Using Rotation Structures, in Proc. International Symposium on Information Theory and its Applications ISITA2010, Taichung -Taiwan, 2010.
- [7.39] R. P. Roesser, A discrete state-space model for linear image processing, IEEE Trans. Automat. Contr., Vol. 20, No. 1, 1975, s. 1-10.

- [7.40] D. E. Dudgeon and R. M. Mersereau, *Multidimensional Signal Processing*, Englewood Cliffs, NJ: Prentice-Hall, 1984.
- [7.41] G.D. Roth, *Handbook of Practical Astronomy*, Springer-Verlag, Berlin, Heidelberg, 2009.
- [7.42] H.G. Ziegler, Telescope Mountings, Drives, and Electrical Equipment, Compendium of Practical Astronomy, Vol. 1, Chap. 5, Springer, Berlin, Heidelberg, New York, 1994.

8. Podsumowanie i wnioski

W monografii przedstawione zostały osiągnięcia autora na tle obecnego stanu prac nad prądowymi przetwornikami analogowo-cyfrowymi w większości przeznaczonymi do realizacji w technologii CMOS. W swojej pracy badawczej autor szczegółowo analizował i badał nowe struktury kilku typów przetworników a/c: kompensacyjnych, potokowych oraz z modulatorami $\Sigma \Delta$. Autor zaproponował własne rozwiązania układowe, które zostały przebadane symulacyjnie, a następnie zweryfikowane doświadczalnie pomiarami wykonanych prototypów w postaci dedykowanych układów ASIC. Sprawdzano zadane wymagania dotyczące rozdzielczości, dokładności i szybkości przetwarzania. Wszystkie projektowane i badane struktury przetworników były optymalizowane pod względem mocy pobieranej ze źródła zasilania oraz powierzchni zajmowanej w układzie scalonym.

Monografia składa się z 8 rozdziałów, w których opisano zarówno podstawy teoretyczne budowy prądowych układów przetworników a/c jak i uzyskane wyniki doświadczalne pomiarów zaprojektowanych układów i wykonanych prototypów. Podkreślono znaczenie przetwarzania analogowo-cyfrowego w budowanych oraz eksploatowanych współcześnie układach i systemach elektronicznych, wskazując przyczyny zainteresowania badaczy i konstruktorów układami pracującymi w trybie prądowym i ich właściwościami z punktu widzenia ograniczeń technologicznych układów VLSI. Jako punkt wyjścia do opisu przetworników a/c pracujących w trybie prądowym, porównano układy pracujące w trybach napięciowym i prądowym oraz zestawiono wady i zalety obu tych trybów. Podkreślono przyczyny, dla których tryb prądowy jest korzystniejszy w budowie układów analogowych w procesach technologicznych dedykowanych dla układów cyfrowych, przedstawiając również parametry charakterystyczne układów prądowych.

Podano teoretyczne podstawy działania oraz podstawowe parametry układów pracujących w trybie prądowym. Sklasyfikowano i opisano analogowe układy elementarne pracujące w czasie ciągłym jak i dyskretnym – przełączane pierwszego i drugiego rodzaju. Przedstawiono parametry i klasyfikację współczesnych przetworników a/c wykonywanych w technologii CMOS. Opisano parametry statyczne i dynamiczne charakteryzujące właściwości przetworników oraz przybliżono metody ich pomiaru. Dokonano klasyfikacji przetworników pod względem szybkości przetwarzania i rozdzielczości. Opisano podstawowe typy przetworników realizowanych obecnie w technologii CMOS. Przybliżono wartości parametrów typowych przetworników produkowanych jako układy scalone.

Przedstawiono wyniki prac badawczych autora dotyczących budowy i działania prądowych przetworników a/c pracujących z częstotliwością Nyquista oraz z nadpróbkowaniem, a także prądowych potokowych przetworników a/c z korekcją błędów niezrównoważenia komparatorów. Omówiono autorskie rozwiązania kompensacyjnego przetwornika pracującego w strukturze potokowej, przetworników z modulatorami $\Sigma\Delta$ pierwszego, drugiego i dwustopniowego trzeciego rzędu oraz przetworników potokowych ze stopniami 1,5 oraz 2,5 bita. Trzy wymienione typy przetworników zostały przez autora zaprojektowasymulacyjnie oraz wykonane w przebadane postaci prototypów ne. w eksperymentalnych układach ASIC. Zaprezentowano wyniki pomiarów określających właściwości i parametry charakterystyczne tych przetworników. Analizy teoretyczne, badania symulacyjne i doświadczalne oraz uzyskane parametry proponowanych struktur przetworników zostały szczegółowo przedstawione w rozdziałach 3, 4, i 5.

Autor zaproponował nowatorską metodę szybkiego prototypowania funkcjonalnego układów przetworników a/c wykorzystującą układy FPAA. Przedstawiono wyniki prac badawczych autora dotyczących zaprojektowania, konfiguracji i doświadczalnej weryfikacji parametrów prototypów trzech typów przetworników a/c: algorytmicznego, potokowego i z modulatorami $\Sigma\Delta$. Implementacja prototypów w układzie FPAA została opisana w rozdziale 6. Jako weryfikację praktyczną rozwiązań będących przedmiotem pracy badawczej autora przedstawiono implementację opracowanych prototypów szybkich prądowych przetworników a/c do pozyskiwania rzeczywistych obrazów obiektów astronomicznych w automatycznym stanowisku obserwacyjnym przetwarzającym obrazy głębokiego kosmosu (DSO) w czasie rzeczywistym. W rozdziale 7 zaprezentowano przebieg eksperymentu oraz wyniki przetwarzania uzyskanych rzeczywistych obrazów obiektów astronomicznych.

Monografia stanowi aktualny i pełny zakres zagadnień związanych z projektowaniem i realizacją przetworników a/c pracujących w trybie prądowym dedykowanych do wykonania w układach scalonych CMOS. Do głównych osiągnięć naukowych autora dotyczących zagadnienia przetworników a/c pracujących w trybie prądowym, potwierdzonych wynikami zawartymi w monografii, należy zaliczyć:

 Badania podstawowe związane z zastosowaniem trybu prądowego w układach przetworników a/c.

- Badania symulacyjne i doświadczalne układów elementarnych zrealizowanych w technice prądowej.
- Opracowanie prototypów ASIC przetworników a/c z wielostopniowymi modulatorami ΣΔ wyższych rzędów oraz ich doświadczalna weryfikacja.
- Opracowanie prototypów ASIC kompensacyjnych przetworników a/c oraz ich doświadczalna weryfikacja.
- Opracowanie prototypów ASIC potokowych przetworników a/c oraz ich doświadczalna weryfikacja.
- Zaproponowanie nowatorskiej metody szybkiego prototypowania funkcjonalnego układów przetworników a/c wykorzystujące układy FPAA.
- Zaimplementowanie opracowanych prototypów szybkich prądowych przetworników a/c do pozyskiwania rzeczywistych obrazów obiektów astronomicznych w automatycznym stanowisku obserwacyjnym.

Autor kontynuuje pracę naukową dotyczącą wykorzystania techniki prądowej w konstrukcji przetworników a/c. Planowane w najbliższej przyszłości dalsze prace będą dotyczyły poszukiwania jeszcze szybszych przetworników a/c o rozdzielczości ponad 20 bitów.